

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-338919
(43)Date of publication of application : 08.12.2000

(51)Int.Cl. G09G 3/20
G02F 1/1345
G02F 1/1365
G09G 3/36
H01L 29/786

(21)Application number : 11-186649 (71)Applicant : SEIKO EPSON CORP
(22)Date of filing : 30.06.1999 (72)Inventor : MURAIDE MASAO

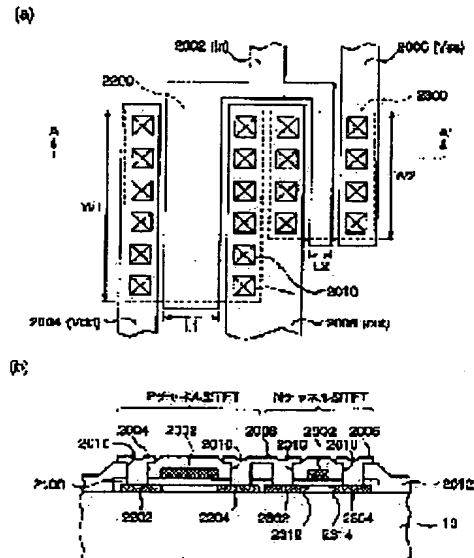
(30)Priority
Priority number : 11082578 Priority date : 25.03.1999 Priority country : JP

(54) DRIVING CIRCUIT FOR ELECTRO-OPTIC DEVICE, ELECTRO-OPTIC DEVICE, AND PROJECTION TYPE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To secure service life of a driving circuit integrated type liquid crystal device.

SOLUTION: In a complementary TFT constituting an X shift register of a data line driving circuit, a P-channel type TFT is structured as a self-aligning type and an N-channel type TFT as an LDD structure. In such a case, to balance both characteristics, a channel length L1 of the P-channel type TFT is made longer than a channel length L2 of the N-channel type TFT, and a channel width W1 of the P-channel type TFT is made wider than a channel width W2 of the N-channel type TFT.



*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Two or more scanning lines.

A viewing area which consists of a switching element connected to the data line, and two or more said scanning lines and said data lines, and a picture element electrode connected to each switching element.

Are the above a drive circuit of an electro-optic device which it had, and said drive circuit, Have a data line driving circuit which supplies a predetermined picture signal to each of said data line, and said data line driving circuit, Have an X shift register which transmits a predetermined input signal one by one, and at least one or more logic elements among said X shift registers, It is constituted combining complementarily a P channel type and an N channel type thin film transistor, and among these, said P channel type thin film transistor, While an end of the source region and an end of a drain area are prescribed by end of a gate electrode in the thin film transistor concerned, respectively, a said N channel type thin film transistor, It has a field where impurity concentration is lower than the source region concerned or the drain area concerned respectively in the gate electrode side in the drain area the gate electrode side of the source region.

[Claim 2]While said picture signal is deserialized, being supplied via two or more image signal lines and connected to each of said data line, A picture signal is sampled according to said sampling control signal, A drive circuit of the electro-optic device according to claim 1 with which two or more sampling switches which are provided with a sampling switch supplied to the corresponding data line, and are connected to two or more data lines which adjoin each other are characterized by sampling simultaneously said picture signal supplied to image signal lines of a book. [two or more]

[Claim 3]Channel length of a P channel type thin film transistor complementarily combined among logic elements of said X shift register, A drive circuit of the electro-optic device according to claim 1 characterized by a long time rather than channel length of an N channel type thin film transistor combined with the thin film transistor concerned.

[Claim 4]Channel width of a P channel type thin film transistor complementarily combined among logic elements of said X shift register, A drive circuit of the electro-optic device according to claim 1 being larger than channel width of an N channel type thin film transistor complementarily combined with the thin film transistor concerned.

[Claim 5]Said drive circuit is further provided with a scanning line driving circuit which supplies a scanning signal to each of said scanning line one by one, and said scanning line driving circuit, Have Y shift register which outputs a transmitted signal one by one as said scanning signal, and at least one or more logic elements among said Y shift registers, Combining complementarily a P channel type and an N channel type thin film transistor said P channel type thin film transistor and said N channel type thin film transistor, A drive circuit of the electro-optic device according to claim 1 having a field where impurity concentration is lower than the field concerned, respectively in the gate electrode side of a field by which common connection is carried out to both.

[Claim 6]A P channel type thin film transistor and an N channel type thin film transistor which are complementarily combined among logic elements of said Y shift register, A drive circuit of the electro-optic device according to claim 5 having a field where impurity concentration is lower than the opposite hand field concerned also to a field of an opposite hand of said field by which common connection is carried out, respectively.

[Claim 7]A drive circuit of the electro-optic device according to claim 5, wherein said Y shift register includes a transmission gate which consists of said P channel type thin film transistor, said N channel type thin film transistor, or its both sides.

[Claim 8]Channel length of a P channel type thin film transistor complementarily combined among logic elements of said Y shift register, A drive circuit of the electro-optic device according to claim 5 being below channel length of a P channel type thin film transistor complementarily combined among logic elements of said X shift register.

[Claim 9]Channel width of a P channel type thin film transistor complementarily combined among logic elements of said Y shift register, A drive circuit of the electro-optic device according to claim 5 being below channel width of a P channel type thin film transistor complementarily combined among logic elements of said X shift register.

[Claim 10]An electro-optic device equipping either according to claim 1 to 9 with a drive circuit of an electro-optic device of a statement.

[Claim 11]A projection type display which is provided with the following and characterized by said light valve consisting of the electro-optic device according to claim 10.

A light source.

A light valve which modulates light from said light source.

An optical system which projects light modulated with said light valve.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the drive circuit of the electro-optic device aiming at reinforcement of the thin film transistor which constitutes the drive circuit concerned especially, and the electro-optic device which contains this drive circuit about the drive circuit which drives an electro-optic device.

[0002]

[Description of the Prior Art]The drive circuit of the conventional electro-optic device, for example, a liquid crystal device, comprises a data line driving circuit, a scanning line driving circuit, a sampling circuit which supply a picture signal, a scanning signal, etc. to the data line allocated in the image display region, a scanning line, etc. by prescribed timing. Among these, generally, a data line driving circuit is provided with the X shift register which consists of two or more latch circuitry, shifts the transfer signal supplied to the beginning of a horizontal scanning period one by one according to a clock signal, and outputs this as a sampling control signal. A sampling circuit consists of a switch for a sampling formed for every data line, samples the picture signal supplied from the outside according to a sampling control signal, and supplies it to each data line. On the other hand, a scanning line driving circuit is provided with Y shift register which consists of two or more latch circuitry, shifts the transfer signal supplied to the beginning of a vertical scanning period one by one according to a clock signal, and outputs this as a scanning signal.

[0003]The peripheral circuit built-in electro-optic device which, on the other hand, provided peripheral circuits, such as these drive circuits, on the substrate which constitutes an electro-optic device is developed. In this kind of electro-optic device, the constituent child of a peripheral circuit and the switching element which drives a pixel are manufactured according to common processes. For example, the element which constitutes a peripheral circuit in the liquid crystal device using the liquid crystal as electrooptic material, Since it is formed simultaneously with the thin film transistor (it is called below Thin Film Transistor: "TFT") which drives a pixel, when aiming at a miniaturization and cost fall of the whole

device, as compared with the electro-optic device which forms a peripheral circuit on another board and mounts it, it becomes advantageous.

[0004]Now, high speed response nature, low power consumption, etc. are required rather than TFT to which TFT which constitutes a peripheral circuit switches a pixel. For this reason, while constituting TFT which constitutes a peripheral circuit from a complementary type, in addition to the minuteness making of an element, coexistence with the high ON state current and the low OFF state current is achieved by adopting offset structure and LDD (Lightly Doped Drain) structure.

[0005]

[Problem(s) to be Solved by the Invention]However, in such an electro-optic device and details. About the peripheral circuit built-in electro-optic device which combined complementarily P channel type TFT and N channel type TFT which have LDD structure as a constituent child of a peripheral circuit. When the continuous energization examination was done at the temperature of 80 **, as drawing 10 was shown by the characteristic a, the minimum driver voltage went up to the inside of a short time, and the problem that a life will be exhausted occurred. Generally, the life of 5000 hours or more is demanded of this kind of electro-optic device at 80 **, for example. Although it is said that this is converted into a room temperature and becomes a life of about 20,000 hours, as shown also in this figure, the characteristic a is not a very satisfying level.

[0006]this invention is made in view of such a situation, and comes out. That purpose is to prevent a constituent child's degradation in peripheral circuits, such as the drive circuit concerned, and to provide the drive circuit of the electro-optic device aiming at reinforcement, and the electro-optic device which contains this drive circuit in a built-in electro-optic device.

[0007]

[Means for Solving the Problem]First, when an artificer in this case inspected a liquid crystal device used for a continuous energization examination, it became clear that the characteristic of only P channel type TFT which has LDD structure had deteriorated. Although a reason of that gate dielectric film deteriorates by a damage at the time of ionizing and driving in ** impurity slack B (boron) as this cause, ** hot hole phenomenon occurring can be considered, a detailed cause has not become clear in this time. Anyway, characteristic degradation of P channel type TFT is considered to have originated in LDD structure and to have generated. About a point that degradation advances, this artificer is checking as a point that degradation advances experimentally as ** drive frequency becomes high, and ** environmental temperature become high. Especially about a point of **, if drive frequency is set to 1 MHz or more, it is checked that degradation of the characteristic becomes remarkable and that degradation of the characteristic advances in proportion [almost] to a square of drive frequency.

[0008]Here, generally, a portion driven on the highest frequency in an electro-optic device

is an X shift register in a data line driving circuit. In the above-mentioned continuous energization examination, the characteristic of N channel type TFT combined with P channel type TFT has not resulted to such an extent that degradation poses a problem. Since high speed response nature, low power consumption, operational stability, etc. are required of TFT which constitutes a peripheral circuit on the other hand as having mentioned above, complementary-type composition is indispensable to it.

[0009]So, in this invention, about P channel type TFT among TFT(s) of a complementary type in an X shift register. While giving the high ON state current as a self-align type (self aryne) structure, without considering it as LDD structure, about N channel type TFT, we decided to give the low OFF state current as LDD structure (or offset structure) as usual. In detail a drive circuit of an electro-optic device concerning this invention, A switching element connected to a scanning line, two or more data lines, and two or more said scanning lines and said data lines, Are a viewing area which consists of a picture element electrode connected to each switching element a drive circuit of an electro-optic device which it has, and said drive circuit, Have a data line driving circuit which supplies a predetermined picture signal to each of said data line, and said data line driving circuit, Have an X shift register which transmits a predetermined input signal one by one, and at least one or more logic elements among said X shift registers, It is constituted combining complementarily P channel type and N channel type TFT, and among these, said P channel type TFT, While an end of the source region and an end of a drain area are prescribed by end of a gate electrode in the TFT concerned, respectively, said N channel type TFT, It is characterized by having a field where impurity concentration is lower than the source region concerned or the drain area concerned respectively in the gate electrode side in the drain area the gate electrode side of the source region.

[0010]P channel type TFT is made into self-align mold structure among the complementary types TFT in an X shift register here, When the 80 ** continuous energization examination mentioned above is done a peripheral circuit built-in electro-optic device which made LDD structure N channel type TFT combined with this, as it is shown by the characteristic b in drawing 10, As a result of being improved from the characteristic a of the conventional device, it was set to a mostly satisfying level to a life demanded. It is as the electrical property of P channel type TFT in the state where 1000 hours passed in this continuous energization examination being shown in drawing 11. That is, as shown in this figure, it turns out that the ON state current whose characteristic b of P channel type TFT which has the self-align mold structure of this invention is higher than the characteristic a of P channel type TFT which has the conventional LDD structure is acquired.

[0011]If it is in a mode of 1 of this invention, here said picture signal, While being deserialized, being supplied via two or more image signal lines and connected to each of said data line, A picture signal is sampled according to said sampling control signal, Two or more sampling switches which are provided with a sampling switch supplied to the corresponding data line, and are connected to two or more data lines which adjoin each

other sample simultaneously said picture signal supplied to image signal lines of a book. [two or more] According to this mode, a sampling control signal is simultaneously supplied to p sampling switches connected to the data line of two or more (here, it explains as "p" for convenience) books which adjoin each other. Under the present circumstances, a transfer signal by X shift register circuit is outputted one by one, and this transfer signal is outputted as a sampling control signal. And a sampling control signal is used, backlash is sampled by each sampling switch, and a picture signal is supplied to the data line of the p book concerned, respectively. Thus, since p sampling switches drive simultaneously, also to a picture signal of high dot frequency, driving of the data line becomes easy and a number of stages of an X shift register is also reduced by $1/p$. Since a sampling control signal is supplied for every p sampling switches, what is necessary will be just to provide a unit circuit (for example, latch circuitry) which constitutes each stage of an X shift register by one p times the pitch [not a pitch of the data line but] of this.

[0012]Next, in this invention to the gate electrode side of a drain area, the gate electrode side of the source region of N channel type TFT. Since a low concentration area is provided, respectively, composition longer than channel length of an N channel type thin film transistor combined with the transistor concerned of channel length of P channel type TFT complementarily combined among logic elements of an X shift register is desirable. according to this composition -- substantial channel length -- both -- abbreviation -- it becomes equal and it becomes possible to balance the characteristic of P channel type TFT of self-align structure which does not have a low concentration area, and N channel type TFT which has LDD structure.

[0013]Composition larger than channel width of N channel type TFT complementarily combined with the TFT concerned of channel width of P channel type TFT complementarily combined among logic elements of said X shift register in this invention on the other hand is desirable. By hole which is a P channel type career, and an electron which is N channel type careers, since the latter mass is light, N channel type carrier mobility becomes high. For this reason, both characteristic will be balanced by making channel width of P channel type TFT larger than channel width of N channel type TFT.

[0014]Now, as a point of the above-mentioned ** was described, degradation of the characteristic, Since it goes on in proportion [almost] to a square of drive frequency, even if it uses P channel type TFT which has LDD structure for a scanning line driving circuit which operates on frequency lower figures about triple [2-] than drive frequency of a data line driving circuit, it is thought that degradation of the characteristic does not become a problem. On the other hand, since Y shift register of a scanning line driving circuit cannot ease a pitch using a technique like serial/parallel conversion like a data line driving circuit, to form with a narrow pitch is demanded.

[0015]Then, in this invention, we decided to give a low concentration area to the gate electrode side of a field by which common connection is carried out at least by P channel type TFT combined with a complementary type, and N channel type TFT about a logic

element in Y shift register. In this invention, in detail said drive circuit, Have a scanning line driving circuit which supplies a scanning signal to each of said scanning line one by one, and said scanning line driving circuit, Have Y shift register which outputs a transmitted signal one by one as said scanning signal, and at least one or more logic elements among said Y shift registers, Composition which has complementarily a field where impurity concentration is lower than the field concerned, respectively in the gate electrode side of a field where common connection of said P channel type TFT and said N channel type TFT is carried out to both combining P channel type TFT and N channel type TFT is desirable. According to this composition, by a low concentration area established in the gate electrode side of a field by which common connection is carried out, after securing the high ON state current and the low OFF state current, minuteness making of an element becomes possible. In this composition, if a field by which common connection is carried out constitutes an inverter by P channel type TFT and N channel type TFT, for example, the source region of P channel type TFT and a drain area of N channel type TFT will be said. [0016]In composition which it has, here a scanning line driving circuit Inside of a logic element of said Y shift register, P channel type a thin film transistor and an N channel type transistor which are combined complementarily have desirable composition which has a field where impurity concentration is lower than the opposite hand field concerned also to a field of an opposite hand of said field by which common connection is carried out, respectively. Namely, P channel type TFT and N channel type TFT which are complementarily combined in a logic element of Y shift register, Since drive frequency is low also as [both] LDD structure (or offset structure), degradation of the characteristic becomes possible [attaining minuteness making of an element], without becoming a problem.

[0017]In composition provided with a scanning line driving circuit, said Y shift register has desirable composition including a transmission gate which consists of said P channel type TFT, said N channel type TFT, or its both sides. In this composition, since it is not necessary to connect with power supply wiring like a clocked inverter in itself [transmission gate], it becomes advantageous to that part and minuteness making.

[0018]On the other hand in composition provided with a scanning line driving circuit, channel length of P channel type TFT complementarily combined among logic elements of said Y shift register, Composition which is below channel length of P channel type TFT complementarily combined among logic elements of said X shift register is desirable. Similarly in composition provided with a scanning line driving circuit, channel width of a P channel type thin film transistor complementarily combined among logic elements of said Y shift register, Composition which is below channel width of a P channel type thin film transistor complementarily combined among logic elements of said X shift register is desirable. In such composition, driving ability of an X shift register will be heightened rather than Y shift register. About an X shift register, to be formed with a narrow pitch rather than Y shift register, as mentioned above is not demanded. For this reason, even if it adopts the

above-mentioned composition, it seldom becomes a problem.

[0019] Since it has the above-mentioned drive circuit if it is shown in an electro-optic device concerning this invention, and a projection type display using this electro-optic device in order to attain the above-mentioned purpose, it becomes possible to prevent degradation of the characteristic and to attain reinforcement with minuteness making.

[0020]

[Embodiment of the Invention] Hereafter, an embodiment of the invention is described with reference to drawings.

[0021] <Liquid crystal device> A liquid crystal device is first explained for an example as an electro-optic device concerning this invention. A TFT array substrate and a counter substrate keep a fixed gap mutual, are stuck, and this liquid crystal device has the composition that the liquid crystal was pinched by this gap so that it may mention later.

[0022] Drawing 1 is a block diagram showing the electric composition of this liquid crystal device. In this figure, it is in the TFT array substrate which constitutes the liquid crystal device 100, and the peripheral circuit including the data line driving circuit 200, the sampling circuit 300, and the scanning line driving circuit 400 is established in the outer periphery of the viewing area 100a. That is, this embodiment is a liquid crystal device of the peripheral circuit built-in active-matrix-driven method with which the peripheral circuit was formed on the TFT array substrate.

[0023] While the scanning line 3a of m book arranges to the viewing area 100a in parallel, and is formed in it in accordance with the direction of X, and the data line 6a of a book (6_{and}n) arranges in parallel and is formed in accordance with the direction of Y here, Corresponding to each intersection with these scanning lines 3a and data lines 6a, the pixel 110 has arranged to matrix form. That drain is connected to the picture element electrode 118 of rectangular shape, while the gate of TFT116 is connected to the scanning line 3a and that sauce is connected to the data line 6a, as this pixel 110 is shown, for example in drawing 2. Between the two electrodes of the picture element electrode 118 and the counterelectrode 108 formed in the opposed face of the above-mentioned counter substrate, the liquid crystal 105 is pinched and the liquid crystal layer is constituted. In order to prevent leak of the electric charge accumulated in this liquid crystal layer, the storage capacitance 119 is added to a liquid crystal layer and parallel between the picture element electrode 118 and the constant potential VEE.

[0024] Next, the peripheral circuit in this electro-optic device is explained. First, the scanning line driving circuits 400 are the scanning signal G1, G2, --, a thing that supplies Gm one by one in pulse to each of the scanning line 3a in one vertical scanning period among peripheral circuits. In the period when the scanning signal is supplied to the one scanning line 3a by the scanning line driving circuit 400 in one horizontal scanning period on the other hand in the data line driving circuit 200, They are the sampling control signal S1, S2, -, a thing that supplies Sn to each of the sampling control signal lines 114 one by one.

[0025] The sampling circuit 300 comprises the sampling switch 301 provided for [of the data

line 6a / every]. And each sampling switch 301 supplies the picture signal supplied to the image signal lines 115 to the sampling control signal S1, S2, --, the data line 6a that samples and corresponds according to Sn.

[0026]Here, in this embodiment, while being blocked every six which the data line 6a adjoins, the six sampling switches 301 provided corresponding to this block have composition which samples a picture signal simultaneously with the same sampling control signal. On the other hand to the six image signal lines 115 in this embodiment. The picture signals VID1-VID6 elongated 6 times at the time-axis while one picture signal was distributed to the six picture signals VID1-VID6 deserialized beforehand by six lines in detail have composition supplied from the external image processing circuit which is not illustrated. For this reason, when a certain sampling control signal Si (integer with which i fills $1 \leq i \leq n$) is supplied, in drawing 1, it will count from the left, and the picture signals VID1-VID6 will be simultaneously sampled by the six data lines 6a of a flat knot (6-i-5) - (6-and i) a flat knot, respectively.

[0027]Now, in [if a scanning signal is supplied to a certain scanning line 3a, first, next] this state, [in such composition] [all TFT116 connected to the scanning line concerned] The sampling control signal S1, S2, --, as a result of [if Sn is supplied in order] sampling the picture signals VID1-VID6 for the data line 6a every six from the left, it is written in the liquid crystal layer corresponding to TFT116 [one /116], and period maintenance of predetermined is carried out.

[0028]under the present circumstances, since the orientation and order of a liquid crystal element change according to the voltage level impressed to the liquid crystal layer of each pixel 110, a gradation display is performed by that light modulation -- things -- ** For example, since the light volume which passes a liquid crystal will be eased as impressed electromotive force becomes high if it is a normally black mode while being restricted as impressed electromotive force becomes high if it is in no Moray white mode, In the viewing area 100a, light with the contrast according to a picture signal is emitted for every pixel. For this reason, a predetermined display is possible.

[0029]about the number of serial/parallel conversion, generally, as long as dot frequency is relatively low (or -- if the sampling capability of the sampling switch 301 is relatively high), for example, as shown in "3", it may be set as a small value. on the contrary, as long as dot frequency is relatively high (or -- if sampling capability is relatively low), for example, as shown in "12" and "24", it may be set as a big value. It is desirable when simplifying the control and circuitry at the time of carrying out video presentation to it being a multiple of 3 from the relation of a color picture signal consisting of a signal concerning three colors as the number of serial/parallel conversion. In the case of the latest high dot frequency, it is preferred to set it as a big value as shown in "12" in view of the existing TFT production technology at "6" which is this embodiment, and others. It is sufficient if it aims only at light modulation like the projector mentioned later, and it is more than "2."

[0030]The details of a <data line driving circuit>, next the data line driving circuit 200 are

explained. As shown in drawing 1, the data line driving circuit 200, It comprises the latch circuitry 202 by which n stage connection was made, the n wave-selection circuits 204 which adjust the phase of the transfer signals Q1-Qn by each latch circuitry 202, and the n buffer circuits 206 which heighten the driving ability of the output signals X1-Xn of each wave-selection circuit. The latch circuitry 202 of n stage is named generically, and it is called an X shift register.

[0031]By the latch circuitry 202 of each stage, start pulse SPX supplied to the beginning of a horizontal scanning period is transmitted one by one according to the clock signal CLX (and that inversion clock signal CLX'), and this X shift register outputs it as the transfer signals Q1-Qn. Here, as an example of each latch circuitry 202, composition as shown in drawing 3 is mentioned, for example. In the figure, each latch circuitry 202 comprises the clocked inverters 222 and 226 and the inverter 224, respectively, and all are complementarily constituted combining P channel type TFT and N channel type TFT. It cannot be overemphasized that these P channel type TFT(s) and N channel type TFT are formed in TFT116 in the pixel 110 and a common process.

[0032]Now, in the latch circuitry 202 of odd level, the clocked inverter 222 is H level period of the clock signal CLX, and reverses and outputs the signal (start pulse SPX) supplied to an input side in L level period of inversion clock signal CLX'. Next, the inverter 224 reverses the output of the clocked inverter 222, and is outputted as a transfer signal of the stage concerned. The clocked inverter 226 is L level period of the clock signal CLX, and reverses the output signal of this output slack this stage of the inverter 224 in H level period of inversion clock signal CLX', and returns to the input side of the inverter 224. On the other hand, the clocked inverters 222 and 226 in the latch circuitry 202 of even level have the clocked inverters 222 and 226 in odd level, and the relation which the clock signal supplied replaced.

[0033]For this reason, the transfer signal Q1 outputted from the latch circuitry 202 of each stage in an X shift register, Q2, --, Qn will be outputted as shown in drawing 5. Namely, the latch circuitry 202 of the 1st step incorporates start pulse SPX supplied to the beginning of a horizontal scanning period in the standup of the clock signal CLX, the 2- of the henceforth after outputting as the transfer signal Q1 -- the latch circuitry 202 of the n-th step will delay the transfer signal Q1 one by one by the half cycle of the clock signal CLX, and will output it as the transfer signals Q2-Qn.

[0034]Now, in this way, since the transfer signals Q1-Qn have the relation shifted one by one for every half cycle of the clock signal CLX, as shown in drawing 5, in what adjoin each other, the half period overlaps mutually. Then, in order to remove this overlap period, the wave-selection circuit 204 as shown, for example in drawing 4 is formed. In a figure, the wave-selection circuit 204 is formed corresponding to the output of each latch circuitry 202, and each consists of a series connection of NAND circuit 204a and the inverter 204b. Among these, NAND circuit 204a corresponding to an odd level eye, The nonconjunction signal of the transfer signal and phase adjustment signal ENB2 which are supplied from the

latch circuitry 202 where NAND circuit 204a of an even level eye, on the other hand, corresponds the nonconjunction signal of the transfer signal and phase adjustment signal ENB1 which are supplied from the corresponding latch circuitry 202 is outputted, respectively.

[0035]Here, phase adjustment signal ENB1 and ENB2 are supplied synchronizing with both the clock signals CLX (and inversion clock signal CLX'), and the signal wave form is as being shown in drawing 5. That is, the pulse width is narrowed a little rather than the clock signal CLX (inversion clock signal CLX'), and phase adjustment signal ENB1 and ENB2 are signals with both exclusive pulse period.

[0036]And the transfer signal Q1 by the latch circuitry 202 of each stage, Q2, --, Qn, It will be restricted to the pulse width of the phase adjustment signal ENB1 or ENB2 by each of the wave-selection circuit 204, and the buffer circuit 206 will be supplied as the sampling control signal X1, X2, --, Xn so that it may not have an overlap period mutually.

[0037]Next, while the buffer circuit 206 has composition which carried out two or more step series of the inverter which becomes large and shapes in waveform the sampling control signal X1 by the wave-selection circuit 204, X2, --, Xn as driving ability serves as the latter part, Driving ability is heightened and they are the sampling control signal S1, S2, --, a thing supplied to the sampling circuit 300 as Sn. The inverter 204b in the wave-selection circuit 204 may be used as the inverter of the first rank in the buffer circuit 206.

[0038]Thus, the pulse interval of the sampling control signals X1-Xn (S1-Sn) which get mixed up by restriction of the pulse width [according to this embodiment] by the wave-selection circuit 204, Since it is isolated in time as shown in drawing 5, generating of a cross talk, a ghost, etc. resulting from duplication of these signal pulses is prevented beforehand. Namely, if the sampling control signal S1, S2, --, Sn overlap, Since the picture signal which should be essentially sampled by the data line 6a of a certain block will be sampled also to the data line 6a of the block located before and after the block, a cross talk, a ghost, etc. occur and display quality falls, but. According to this embodiment, the sampling control signal S1, S2, --, since the pulse of Sn is isolated in time and outputted, generating of a cross talk, a ghost, etc. will be prevented beforehand.

[0039]The driving ability of the buffer circuit 206 is far larger than the driving ability of the latch circuitry 202 or the wave-selection circuit 204. For this reason, even if the driving ability of the latch circuitry 202 or the wave-selection circuit 206 is low, the simultaneous drive of the six sampling switches 301 will be carried out by the sampling control signal S1 outputted from the buffer circuit 206, S2, --, Sn good.

[0040]Since the number of stages of the latch circuitry 202 which constitutes an X shift register by blocking and driving to every six data-lines 6a like this embodiment is reduced by n stage which is 1/6 of the number (6andn) of the data line 6a, Since drive frequency falls to one sixth while the drive of the data line 6a becomes easy, low power consumption can also be attained. About the latch circuitry 202, the wave-selection circuit 204, and the buffer circuit 206, since what is necessary is just to form in the pitch Px (refer to drawing 1)

corresponding by 6 times the pitch of the data line 6a, the flexibility in arrangement, wiring, etc. of these elements will also be raised.

[0041]<The constituent child of a data line driving circuit> next the data line driving circuit 200, and especially the composition of the complementary type TFT in the latch circuitry 202 are explained taking the case of the inverter 224. This inverter 224 has complementary-type composition by which the series connection was carried out between the high rank side voltage V_{dd} of a power supply, and the lower order side voltage V_{ss} in P channel type TFT and N channel type TFT as shown in drawing 3. Drawing 6 (a) is a top view showing the composition of p channel type TFT which constitutes this inverter 224, and N channel type TFT, and the figure (b) is an A-A' line sectional view of the figure (a).

[0042]As shown in these figures, P channel type TFT has self-align mold structure as which the end of the drain area 2202 and the end of the source region 2204 were specified at the end of the gate electrode 2002. That is, this P channel type TFT uses gate electrode 2002 the very thing as a mask, and an impurity is doped by the semiconductor layer 2200.

[0043]On the other hand, N channel type TFT has LDD structure by which the low concentration areas 2312 and 2314 of the impurity were established in the gate side of the source region 2304, respectively the gate side of the drain area 2302. Namely, after this N channel type TFT used gate electrode 2002 the very thing as the mask the 1st, for example and the impurity was doped by the semiconductor layer 2300 by low concentration, A resist layer broader than the gate electrode 2002 concerned is formed in the 2nd, and an impurity is doped by the gate electrode 2002 upper surface at high concentration by making this into a mask. About the low concentration areas 2312 and 2314 in N channel type TFT, it is good also as offset structure without making an impurity exist. After this offset structure dopes by using the gate electrode 2002 as a mask, for example, it can be formed by carrying out over etching of the gate electrode concerned, and retreating that end face etc.

[0044]Next, the gate electrode 2002 made to serve a double purpose by P channel type TFT and N channel type TFT is connected with the output wire of the clocked inverters 222 and 226 (refer to drawing 3) (or combination). That is, the output signal of the clocked inverter 222 or 226 is supplied to the gate electrode 2002. On the other hand, the wiring 2004 in which the high rank side voltage V_{dd} of a power supply is impressed, It is connected to the interlayer insulation film 2012 and the gate dielectric film 2100 to the drain area 2202 of P channel type TFT via the contact hole 2010 which carries out an opening, The wiring 2006 in which the lower order side voltage V_{ss} of a power supply is impressed is connected via the contact hole 2010 to the source region 2304 of N channel type TFT. And common connection of the wiring 2008 used as the output of the inverter 224 is carried out to the source region 2204 of P channel type TFT, and the drain area 2302 of N channel type TFT via the contact hole 2010, respectively.

[0045]Thus, since P channel type TFT is self-align mold structure and N channel type TFT is [the inverter 224] LDD structure, if both channel length and width are kept as the same, imbalance arises in both characteristic and it is not desirable. For this reason, as shown in

drawing 6 (a), the channel length $L1$ of P channel type TFT and the channel length $L2$ of N channel type TFT, It is formed as $L1 > L2$ and the channel width $W1$ of P channel type TFT and the channel length $W2$ of N channel type TFT are formed as $W1 > W2$.

[0046] That is, at P channel type TFT of self-align mold structure, and N channel type TFT of LDD structure, since substantial channel length changes with low concentration areas 2312 and 2314, it is $L1 > L2$ in the meaning which compensates this. By the hole which is a P channel type career, and the electron which is N channel type careers, since the latter mass is light, N channel type carrier mobility becomes high. For this reason, both characteristic is balanced as $W1 > W2$.

[0047] Thus, since the channel length $L1$ of P channel type TFT and the width $W1$ become larger than the channel length $L2$ of N channel type TFT, and the width $W2$, respectively, as compared with the case where both are made into LDD structure, this embodiment has them in size. [disadvantageous] However, since it will end if it forms in the pitch Px corresponding by 6 times the data-line pitch about the latch circuitry 202 as mentioned above, even if the size of TFT becomes somewhat large, it seldom becomes a problem.

[0048] The clocked inverter 222 of the odd level among the latch circuitry 202, In [as shown in drawing 3] between the high rank side voltage V_{dd} of a power supply, and the lower order side voltage V_{ss} , P channel type TFT which inputs inversion clock signal CLX' into a gate electrode, It has the composition of having connected in series P channel type TFT of the complementary type which inputs an input signal into a gate electrode, respectively and N channel type TFT, and N channel type TFT that inputs the clock signal CLX into a gate electrode. About the clocked inverter 226 of odd level, it has a relation which similarly replaced the clock signal CLX in the clocked inverter 222 of odd level, and its inversion clock signal CLX' . About the clocked inverters 222 and 226 of even level, it has a relation which replaced the thing of odd level, the clock signal CLX , and its inversion clock signal CLX' . And also in such clocked inverters 222 and 226, like the inverter 224, P channel type TFT is self-align mold structure, and N channel type TFT has LDD structure.

[0049] That is, in this embodiment, P channel type TFT of the complementary type in the clocked inverters 222 and 226 and the inverter 224 which constitute the latch circuitry 202 (X shift register) has self-align mold structure. That is, since it drives on the highest frequency, all P channel type TFT(s) in which the characteristic deteriorates easily are replaced by self-align mold structure. On the other hand, degradation of the characteristic still has LDD structure about N channel type TFT which does not pose a problem. Therefore, in this embodiment, after reducing OFF leakage current, degradation of the characteristic will be prevented.

[0050] The details of a <scanning line driving circuit>, next the scanning line driving circuit 400 are explained. This scanning line driving circuit 400 transmits the start pulse SPY supplied to the beginning of a vertical scanning period according to the clock signal CLY and its inversion clock signal CLY' . Since the scanning signal $G1$, $G2$, --, Gm are generated based on this, the fundamental composition is the same as that of the data line driving

circuit 200. That is, the scanning line driving circuit 400 is provided with the following. Y shift register which consists of the latch circuitry 402 by which m stage connection was made.

The m buffer circuits 406 corresponding to each latch circuitry 402.

The latch circuitry 402 in the scanning line driving circuit 400 is completely the same, except that a clock signal differs from the latch circuitry 202 in the data line driving circuit 200, as drawing 3 is shown by the parenthesis document.

[0051]However, the frequency of the clock signal CLY (inversion clock signal CLY') supplied to the scanning line driving circuit 400, Since figures about triple [2-] become low more nearly inevitably than the frequency of the clock signal CLX (inversion clock signal CLX') supplied to the data line driving circuit 200, it is not necessary to narrow the transfer signal by the latch circuitry 402 positively like the data line driving circuit 200 using a phase adjustment signal. For this reason, for example, the logical product of the transfer signals by the latch circuitry 402 of order is searched for, and it has in this the scanning signal G1, G2, --, composition outputted as Gm. In drawing 1, the thing equivalent to the wave-selection circuit 204 of the data line driving circuit 200 does not exist in the scanning line driving circuit 400 because [this].

[0052]The composition of the complementary type TFT in <the constituent child of a scanning line driving circuit>, next the scanning line driving circuit 400 is explained. In the scanning line driving circuit 400, since block the data line 6a and it is not driven like the data line driving circuit 200, it is necessary to form the latch circuitry 402 and the buffer circuit 406 in the pitch Py of the scanning line 3a. For this reason, to carry out minuteness making and to form is demanded about the complementary type TFT which constitutes the scanning line driving circuit 400. On the other hand, it is thought that the characteristic degradation of P channel type TFT which advances by the 2nd [about] power of drive frequency seldom poses a problem since the about triple [2-] figures drive frequency of the scanning line driving circuit 400 becomes low more nearly inevitably than that of the data line driving circuit 200 as mentioned above.

[0053]Then, about P channel type TFT and N channel type TFT of the complementary type which constitute the scanning line driving circuit 400, as shown in drawing 7 (a) and the figure (b), both considered it as LDD structure. Here, drawing 7 (a) is a top view showing the composition of P channel type TFT which constitutes the inverter 424 in the latch circuitry 402, and N channel type TFT, and the figure (b) is a B-B' line sectional view of the figure (a).

[0054]As shown in these figures, P channel type TFT, The low concentration areas 4212 and 4214 of an impurity are established in the gate side of the source region 4204 the gate side of the drain area 4202, respectively, and similarly N channel type TFT, The low concentration areas 4312 and 4314 of the impurity are established in the gate side of the source region 4304 the gate side of the drain area 4302, respectively.

[0055]The gate electrode 4002 made to serve a double purpose with a P channel type and

an N channel type is connected with the output wire of the clocked inverters 422 and 426 (refer to the parenthesis document of drawing 3) (or combination). On the other hand, the wiring 4004 in which the high rank side voltage Vdd of a power supply is impressed, It is connected to the interlayer insulation film 4012 and the gate dielectric film 4100 to the drain area 4202 of P channel type TFT via the contact hole 4010 which carries out an opening, The wiring 4006 in which the lower order side voltage Vss of a power supply is impressed is connected via the contact hole 4010 to the source region 4304 of N channel type TFT. And the wiring 4008 used as the output of the inverter 424 is connected to the source region 4204 of P channel type TFT, and the drain area 4302 of N channel type TFT via the contact hole 4010, respectively.

[0056]Thus, since P channel type TFT and N channel type TFT are LDD structures in both the inverters 424, both channel length L3, L4, and width W3 and W4 are mutually the same respectively. About the latch circuitry 402, since it is necessary to form with the scanning line pitch Py as mentioned above, it may have to be made narrower than Px corresponding by 6 times the data-line pitch. For this reason, the channel length L3 of P channel type TFT in the scanning line driving circuit 400, It has become less than channel length L1 of P channel type TFT in the data drive circuit 200, and channel width W3 of P channel type TFT in the scanning line driving circuit 400 has become less than channel width W1 of P channel type TFT in the data drive circuit 200.

[0057]The clocked inverter 422 of the odd level among the latch circuitry 402, As shown in the parenthesis document of drawing 3, between the high rank side voltage Vdd of a power supply, and the lower order side voltage Vss, P channel type TFT which inputs inversion clock signal CLY' into a gate electrode, It has the composition of having connected in series P channel type TFT of the complementary type which inputs an input signal into a gate electrode, respectively and N channel type TFT, and N channel type TFT that inputs the clock signal CLY into a gate electrode. About the clocked inverter 426 of odd level, it has a relation which replaced the clock signal CLY in the clocked inverter 422, and its inversion clock signal CLY'. About the clocked inverters 422 and 426 of even level, it has a relation which replaced the thing of odd level, the clock signal CLY, and its inversion clock signal CLY'. And also in such clocked inverters 422 and 426, both P channel type TFT and N channel type TFT have LDD structure like the inverter 424.

[0058]That is, in this embodiment, both P channel type TFT(s) and N channel type TFT(s) of a complementary type in the clocked inverters 422 and 426 and the inverter 424 which constitute the latch circuitry 402 (Y shift register) have LDD structure. Generally about the interval L5 (refer to drawing 7 (a)) of the gate electrode 4002 and the contact hole 4010. Although the relation top of a design rule and below a certain constant value cannot carry out, even if the low concentration areas 4212, 4214, 4312, and 4314 start a part of contact hole 4010, a defect does not become promptly. For this reason, since it is more advantageous to the minuteness making of an element to consider it as LDD structure, it becomes easy to form the latch circuitry 402 with the scanning line pitch Py. If the scanning

line pitch P_y is not so narrow, it is good also considering [both] P channel type TFT and N channel type TFT as a self-align type. On the other hand, since the drive frequency of Y shift register is low, characteristic degradation does not become a problem like an X shift register.

[0059]If it was in P channel type TFT and N channel type TFT which are shown in drawing 7 (b), the low concentration area (LDD region) was established in the both sides of the source region and drain area side, but it may be made to be provided only in the field which becomes the common wiring side of both TFT(s), as shown in drawing 8. That is, in drawing 8, if it is in P channel type TFT, the low concentration area 4214 is established only in the gate side of the source region 4204, and if it is in N channel type TFT, the low concentration area 4312 is established only in the gate side of the drain area 4302. Thus, even if it establishes a low concentration area only in one field, contributing to the minuteness making of an element is possible.

[0060]<Other examples of latch circuitry>, next other examples which can be set latch circuitry 202 (402) are explained. In drawing 9, the latch circuitry 202 of each stage comprises the transmission gates 232 and 238 and the inverters 234 and 236, respectively, and all are complementarily constituted combining P channel type TFT and N channel type TFT. If it is in the latch circuitry 202 in the data line driving circuit 200, P channel type TFT serves as self-align mold structure, but if it is in the latch circuitry 402 in the scanning line driving circuit 400, P channel type TFT is not restricted to self-align mold structure.

[0061]Now, it is in the data line driving circuit 200, and the transmission gate 232 in the latch circuitry 202 of odd level is H level period of the clock signal CLX, and is outputted in L level period of inversion clock signal CLX'. The inverters 234 and 236 rotate the output of the transmission gate 232 normally by both, and output it as a transfer signal of the stage concerned. The transmission gate 238 is L level period of the clock signal CLX, and outputs the output signal of this output slack this stage of the inverter 236 in H level period of inversion clock signal CLX', and returns to the input side of the inverter 234. On the other hand, the transmission gates 232 and 238 in the latch circuitry 202 of even level have the clocked inverters 232 and 238 in odd level, and the relation which the clock signal supplied replaced. For this reason, like the latch circuitry shown in drawing 3, the transfer signal Q1 outputted from the latch circuitry 202 shown in drawing 9, Q2, and -- become as they are shown in drawing 5.

[0062]In applying to the latch circuitry 402 of the scanning line driving circuit 400, What is necessary is just to let start pulse SPX be the start pulse SPY supplied by the beginning of a vertical scanning period, while transposing the clock signal CLX and inversion clock signal CLX' to the clock signal CLY and inversion clock signal CLY', respectively, as shown by the parenthesis document of drawing 9.

[0063]Since it becomes unnecessary to impress the high rank side voltage Vdd of a power supply, and the lower order side voltage Vss to the transmission gates 232 and 238 (432, 438) according to such latch circuitry 202 (402), wiring is simplified. For this reason, it is

suitable for the latch circuitry 402 of the scanning line driving circuit 400 which needs to narrow a formed pitch especially.

[0064]The transmission gates 232 and 238 (432, 438) may constitute only using N channel type TFT, without considering it as a complementary type. When constituted in this way, there is an advantage that it is not necessary to use P channel type TFT in which the characteristic deteriorates easily.

[0065]<The entire configuration of a liquid crystal device>, next the entire configuration of the liquid crystal device concerning the embodiment mentioned above are explained with reference to drawing 12 and drawing 13. Drawing 12 is a perspective view showing the composition of the liquid crystal device 100 here, and drawing 13 is a sectional view of the C-C' line in drawing 12.

[0066]As shown in these figures, the liquid crystal device 100, The glass with which the picture element electrode 118 grade was formed, and TFT array substrate 10 which consists of a semiconductor, quartz, etc., While being pasted together so that the transparent counter substrates 20, such as glass with which the counterelectrode 108 grade was formed, may maintain a fixed gap by the sealant 52 in which spacer SP was mixed and an electrode formation face may counter mutually, It has the structure where the liquid crystal 105 as electrooptic material was enclosed with this gap. Although the sealant 52 is formed along the circumference of the counter substrate 20, in order to enclose the liquid crystal 105, the part is carrying out the opening of it. For this reason, that opening part is closed by sealing agent SR after enclosure of the liquid crystal 105.

[0067]Here, it is an opposed face of TFT array substrate 10, and in one side of outsides of the sealant 52, the data line driving circuit 200 and the sampling circuit 300 (it omits in drawing 12 and drawing 13) which were mentioned above are formed, and it has the composition of driving the data line 6a which extends in the direction of Y. It has the composition that two or more external circuit contact buttons 102 are formed in this one side, and input various signals, such as the deserialized picture signals VID1-VID6, into it. The two scanning line driving circuits 400 are formed in two sides which adjoin this one side, and it has at them the composition of driving the scanning line 3a which extends in the direction of X from both sides, respectively. As long as delay of the scanning signal supplied to the scanning line 3a does not become a problem, the composition which forms the scanning line driving circuit 400 in one one side may be used. In TFT array substrate 10, in order to reduce the write-in load of the picture signal to the data line 6a, the precharge circuit which precharges each data line 6a to prescribed potential in the timing preceded with the sampling of a picture signal may be formed in others.

[0068]On the other hand, electrical continuity with TFT array substrate 10 is planned by the flow material in which the counterelectrode 108 of the counter substrate was formed at at least one place among four corners in a pasting portion. Otherwise to the counter substrate 20, according to the use of the liquid crystal device 100. For example, the light filter arranged [1st] stripe shape, mosaic shape, the shape of a triangle, etc. is provided, and

light-shielding films, such as resin black which distributed metallic materials, such as chromium and nickel, carbon, titanium, etc. at photoresist, are provided in the 2nd, for example. A light-shielding film is provided in the counter substrate 20, without forming a light filter in the case of the use of colored light abnormal conditions. The back light which irradiates the liquid crystal device 10 if needed is provided in the back side of one of substrates.

[0069]It adds, and while the orienting film (graphic display abbreviation) etc. by which rubbing treatment was carried out in the predetermined direction, respectively are provided in the opposed face of TFT array substrate 10 and the counter substrate 20, the light polarizer (graphic display abbreviation) according to an orientation direction is formed in each that back side, respectively. However, since efficiency for light utilization will increase as a result of an above-mentioned orienting film's, light polarizer's, etc. becoming unnecessary if the polymer dispersed liquid crystal distributed as a minute grain is used into polymers as the liquid crystal 105, in points, such as a rise in luminosity and low power consumption, it is advantageous.

[0070]The case where <electronic equipment>, next the liquid crystal device mentioned above are applied by various kinds of electronic equipment is explained. In this case, it mainly has the display information output source 1000, the display information processing circuit 1002, the drive circuit 1004, the liquid crystal device 100, the clock generation circuit 1008, and the power supply circuit 1010, and electronic equipment is constituted, as shown in drawing 14. The display information output source 1000 Among these, ROM (Read Only Memory), Memories, such as RAM (Random Access Memory), Based on the clock signal from the clock generation circuit 1008, display information, including the picture signal of a predetermined format, etc., is outputted to the display information processing circuit 1002 including the tuned circuit etc. which align and output storage units, such as an optical disk unit, and a picture signal. The serial/parallel conversion circuit which the display information processing circuit 1002 mentioned above, It is constituted including the various processing circuit of common knowledge of amplification and an inversion circuit, a rotation circuit, a gamma correction circuit, a clamp circuit, etc., a digital signal is generated one by one from the display information inputted based on the clock signal, and it outputs to the drive circuit 1004 with the clock signal CLK. The drive circuit 1004 drives the liquid crystal device 100, and includes the data line driving circuit 200 mentioned above, the inspecting circuit used for the inspection after manufacture besides the sampling circuit 300 and the scanning line driving circuit 400, etc. The power supply circuit 1010 supplies a predetermined power supply to each above-mentioned circuit.

[0071]Next, some of examples which used for concrete electronic equipment the liquid crystal device mentioned above are explained.

[0072]< -- that 1:projector > -- the projector using this liquid crystal device 100 as a light valve is explained first. Drawing 15 is a top view showing the composition of this projector. As shown in this figure, the ramp unit 1102 which consists of a white light source of a

halogen lamp etc. is formed in projector 1100 inside. It is separated into the three primary colors of RGB by the mirror 1106 of three sheets and the dichroic mirror 1108 of two sheets which have been arranged inside, and the incident light ejected from this ramp unit 1102 is led to the light valves 100R, 100G, and 100B corresponding to each primary color, respectively.

[0073]Here, it drives, respectively with the primary signal of R, G, and B which that of the composition of the light valves 100R, 100G, and 100B are the same as that of the liquid crystal device 100 mentioned above, and are supplied from a picture signal processing circuit (graphic display abbreviation). The light of B color is drawn via the relay lens system 1121 which consists of the incidence lens 1122, the relay lens 1123, and the outgoing radiation lens 1124, in order to prevent the loss, since the optical path is long as compared with other R colors and G colors.

[0074]Now, the light modulated with the light valves 100R, 100G, and 100B, respectively enters into the dichroic prism 1112 from three directions. In this dichroic prism 1112, while the light of R color and B color is refracted at 90 degrees, the light of G color goes straight on. Therefore, as a result of combining the picture of each color, it will be projected on a color picture by the screen 1120 via the projector lens 1114.

[0075]Since the light corresponding to each primary color of R, G, and B enters with the dichroic mirror 1108, as mentioned above, it is not necessary in the light valves 100R, 100G, and 100B to provide a light filter.

[0076]The example which applied <that 2:mobile type computer>, next this liquid crystal device to the mobile type personal computer is explained. Drawing 16 is a perspective view showing the composition of this personal computer. In the figure, the computer 1200 comprises the body part 1204 provided with the keyboard 1202, and the liquid crystal display unit 1206. This liquid crystal display unit 1206 is constituted by adding a back light to the back of the liquid crystal device 100 described previously.

[0077]As electronic equipment, explained with reference to drawing 14 - drawing 16, and also. ***** provided with the videotape recorder of a liquid crystal television, and a viewfinder type and a monitor direct viewing type, a car navigation device, a pager, an electronic notebook, a calculator, a word processor, a workstation, the cellular phone, the TV phone, the POS terminal, and the touch panel etc. are mentioned. And the liquid crystal device of an embodiment which can apply an electro-optic device further cannot be overemphasized to these various electronic equipment.

[0078]

[Effect of the Invention]As explained above, according to this invention, in a peripheral circuit built-in electro-optic device, degradation of the constituent child of a peripheral circuit and the characteristic especially in the logic element of the X shift register of a data line driving circuit is prevented, and it becomes possible to attain reinforcement.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the electric composition of the liquid crystal device concerning the embodiment of this invention.

[Drawing 2]It is a circuit diagram showing the composition of the pixel in the liquid crystal device.

[Drawing 3]It is a circuit diagram showing the composition of the latch circuitry of the data line driving circuit in the liquid crystal device, or a scanning line driving circuit.

[Drawing 4]It is a circuit diagram showing the composition of the wave-selection circuit in the liquid crystal device.

[Drawing 5]It is a timing chart for explaining operation of the data line driving circuit in the liquid crystal device.

[Drawing 6](a) is a top view showing the layout of the inverter in the data line driving circuit, and (b) is a sectional view shown along the A-A' line.

[Drawing 7](a) is a top view showing the layout of the inverter in the scanning line driving circuit, and (b) is a sectional view shown along the B-B' line.

[Drawing 8]It is a sectional view showing another mode of the inverter in the scanning line driving circuit.

[Drawing 9]It is a circuit diagram showing other composition of the latch circuitry in the liquid crystal device.

[Drawing 10]It is the figure which compared the former with this invention about the life in a liquid crystal device.

[Drawing 11]It is the figure which compared the former with this invention about the electrical property of P channel type TFT in an X shift register.

[Drawing 12]It is a perspective view showing the structure of the liquid crystal device.

[Drawing 13]It is a partial sectional view for explaining the structure of the liquid crystal device.

[Drawing 14]It is a block diagram showing the outline composition of the electronic equipment which applied the liquid crystal device.

[Drawing 15] It is a sectional view showing the composition of an example slack projector of the electronic equipment which applied the liquid crystal device.

[Drawing 16] It is a perspective view showing the composition of an example slack personal computer of the electronic equipment which applied the liquid crystal device.

[Description of Notations]

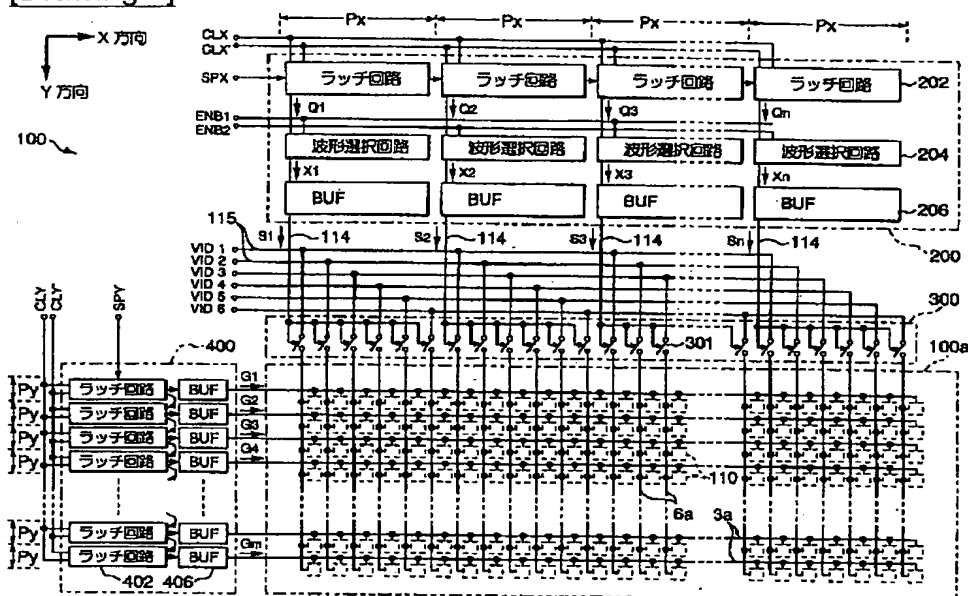
3a -- Scanning line
6a -- Data line
10 -- TFT array substrate
20 -- Counter substrate
108 -- Counterelectrode
110 Pixel
114 -- Sampling control signal lines
115 -- Image signal lines
116 -- TFT
118 -- Picture element electrode
105 -- Liquid crystal
200 -- Data line driving circuit
202 -- Latch circuitry
204 -- Wave-selection circuit
206 -- Buffer circuit
300 -- Sampling circuit
301 -- Sampling switch
400 -- Scanning line driving circuit
402 -- Latch circuitry

[Translation done.]

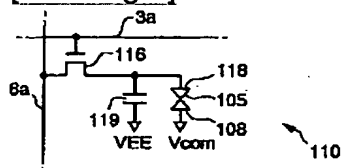
JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

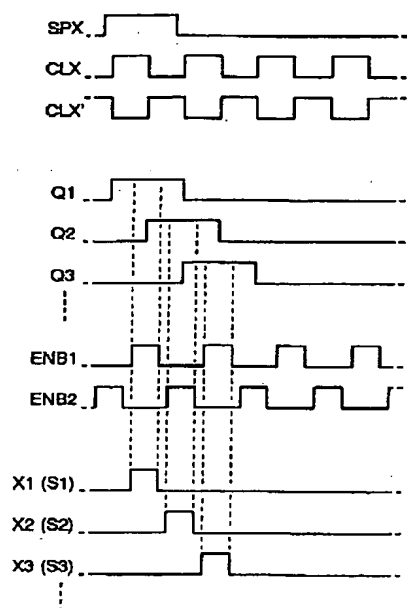
[Drawing 1]



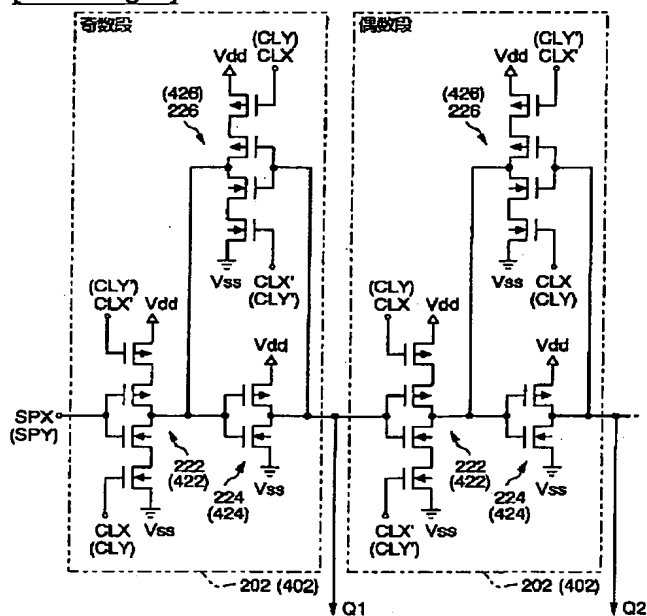
[Drawing 2]



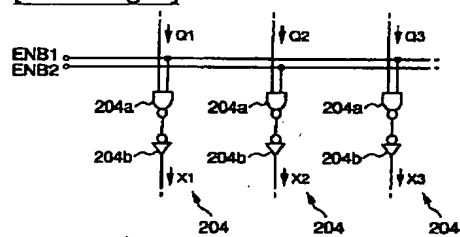
[Drawing 5]



[Drawing 3]



[Drawing 4]



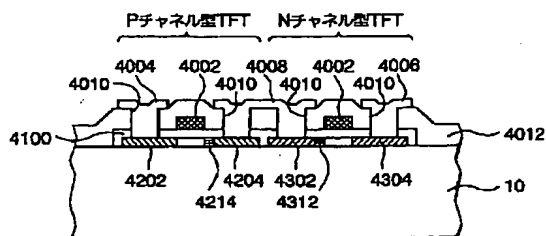
[Drawing 6]

A cross-sectional view of a semiconductor device. The substrate is labeled 10. A gate insulating layer 2100 is formed on the substrate. Two types of TFTs are shown: P-channel TFT and N-channel TFT. The P-channel TFT has a gate electrode 2004, a gate insulating layer 2010, and a channel region 2202. The N-channel TFT has a gate electrode 2008, a gate insulating layer 2010, and a channel region 2302. The channel regions are formed in a substrate layer 2204 or 2304. The device is surrounded by a passivation layer 2006. The labels 2312 and 2314 indicate the channel regions of the N-channel TFT.

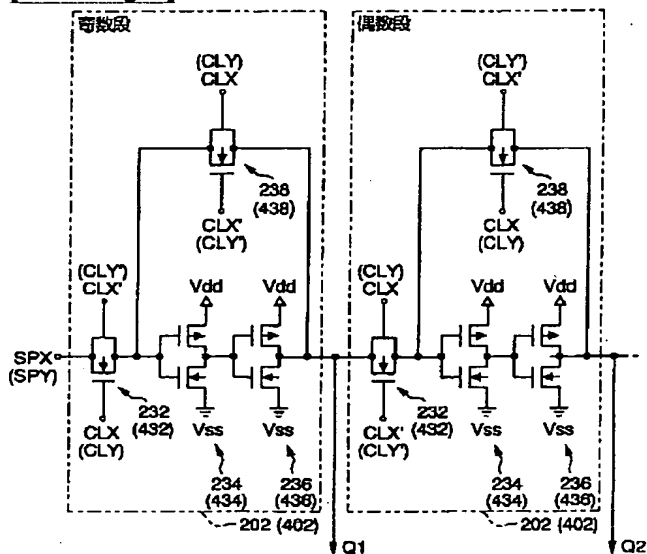
FIG. 1 is a schematic cross-sectional view of a semiconductor device. The device includes a central core (4002) and two side structures (4004 and 4006). The core (4002) is connected to a top terminal (4008) and a bottom terminal (4010). The side structures (4004 and 4006) are connected to a top terminal (4006) and a bottom terminal (4004). The device is labeled with dimensions W3, W4, L3, L4, L5, and B, B'.

A cross-sectional view of a semiconductor device. The top layer is labeled 4100. Below it, there are two types of TFTs: P-channel type TFT and N-channel type TFT. The P-channel TFTs are labeled 4004, 4002, 4008, and 4006. The N-channel TFTs are labeled 4010, 4010, 4010, and 4010. The device is mounted on a substrate 10. The bottom layer is labeled 4012. The device is divided into four regions by vertical lines, with labels 4202, 4212, 4204, 4214, 4302, 4312, 4304, and 4314 indicating specific components or regions.

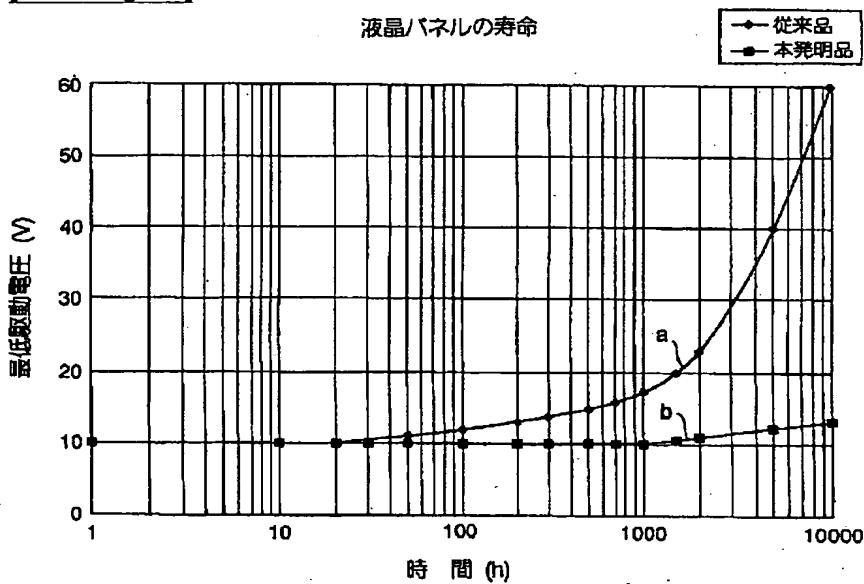
http://www4.ipdl.inpit.go.jp/cgi-bin/tran_web/cgi_ejje?atw_u=http%3A%2F%2Fwww... 1/13/2009



[Drawing 9]



[Drawing 10]

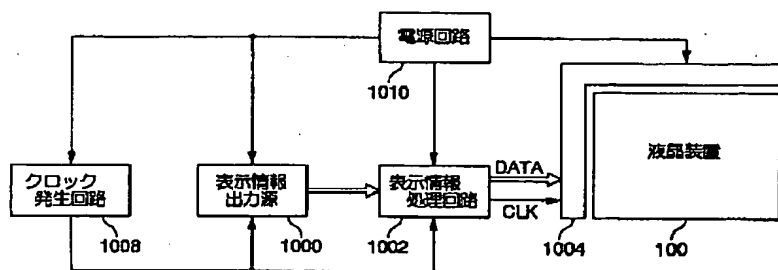


[Drawing 12]

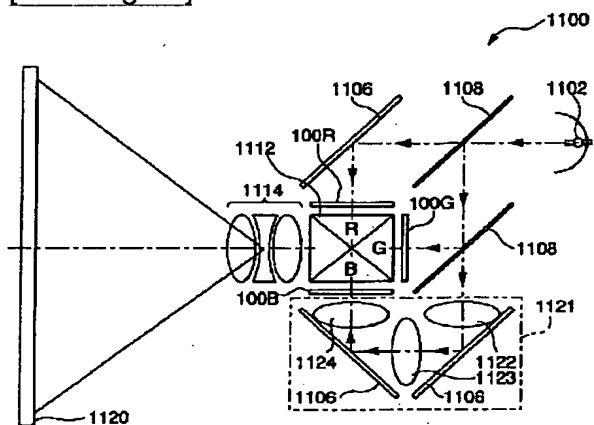


Figure 1 is a graph showing the drain current I_{ds} (A) versus the gate voltage V_{gs} (V). The y-axis is logarithmic, ranging from 1.00×10^{-13} to 1.00×10^{-2} . The x-axis is linear, ranging from 10 to -30 V. Two curves are plotted: curve 'a' (従来品, Conventional) and curve 'b' (本発明品, Invention). Both curves show a minimum current near $V_{gs} = 0$ V. Curve 'b' shows higher current values than curve 'a' for $V_{gs} < -10$ V.

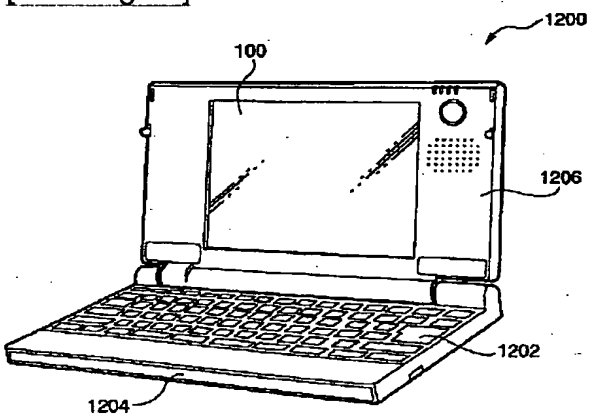
http://www4.ipdl.inpit.go.jp/cgi-bin/tran_web_cgi_ejje?atw_u=http%3A%2F%2Fwww... 1/13/2009



[Drawing 15]



[Drawing 16]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-338919

(P2000-338919A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 2 3 6 2 2	C 0 9 G 3/20	6 2 3 H 2 H 0 9 2 6 2 2 E 5 C 0 0 6
G 0 2 F 1/1345 1/1365		C 0 2 F 1/1345	5 C 0 8 0
G 0 9 G 3/36		C 0 9 G 3/36	5 F 1 1 0
		C 0 2 F 1/136	5 0 0

審査請求 未請求 請求項の数11 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平11-186649
(22) 出願日 平成11年6月30日 (1999.6.30)
(31) 優先権主張番号 特願平11-82578
(32) 優先日 平成11年3月25日 (1999.3.25)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 村出 正夫
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 100093388
弁理士 鈴木 喜三郎 (外2名)

最終頁に続く

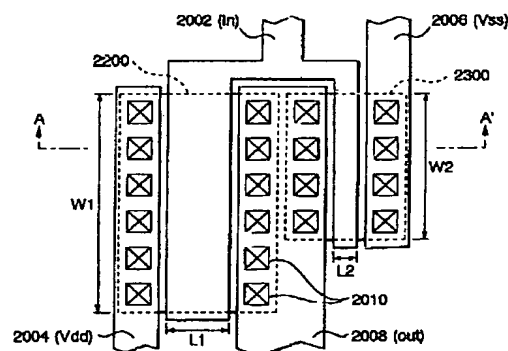
(54) 【発明の名称】 電気光学装置の駆動回路および電気光学装置および投射型表示装置

(57) 【要約】

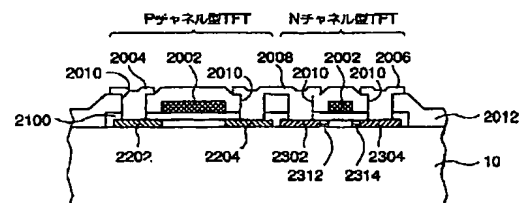
【課題】 駆動回路内蔵型の液晶装置の寿命を確保する。

【解決手段】 データ線駆動回路のXシフトレジスタを構成する相補型TFTのうち、Pチャネル型TFTについては自己整合型構造とし、Nチャネル型TFTについてはLDD構造とする。この際、両者の特性を均衡させるために、Pチャネル型TFTのチャネル長 L_1 を、Nチャネル型TFTのチャネル長 L_2 よりも長くし、Pチャネル型TFTのチャネル幅 W_1 を、Nチャネル型TFTのチャネル幅 W_2 よりも広くする。

(a) データ線駆動回路における相補型TFT



(b)



【特許請求の範囲】

【請求項1】 複数の走査線と、複数のデータ線と、前記走査線および前記データ線に接続されたスイッチング素子と、各スイッチング素子に接続された画素電極とからなる表示領域を有する電気光学装置の駆動回路であって、

前記駆動回路は、所定の画像信号を前記データ線の各々に供給するデータ線駆動回路を有し、

前記データ線駆動回路は、所定の入力信号を順次転送するXシフトレジスタを備え、

前記Xシフトレジスタのうち、少なくとも1個以上の論理素子は、Pチャネル型およびNチャネル型薄膜トランジスタを相補的に組み合わせる構成され、このうち、前記Pチャネル型薄膜トランジスタは、そのソース領域の端部およびドレイン領域の端部が当該薄膜トランジスタにおけるゲート電極の端部でそれぞれ規定される一方、

前記Nチャネル型の薄膜トランジスタは、そのソース領域のゲート電極側と、そのドレイン領域におけるゲート電極側とに、それぞれ不純物濃度が当該ソース領域または当該ドレイン領域よりも低い領域を有することを特徴とする電気光学装置の駆動回路。

【請求項2】 前記画像信号は、シリアルパラレル変換されて、複数本の画像信号線を介し供給されるものであり、

前記データ線のそれぞれに接続されるとともに、前記サンプリング制御信号にしたがい画像信号をサンプリングして、対応するデータ線に供給するサンプリングスイッチを備え、

相隣接する複数本のデータ線に接続される複数個のサンプリングスイッチが、前記複数本の画像信号線に供給された画像信号を同時にサンプリングすることを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項3】 前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタのチャネル長は、当該薄膜トランジスタと組み合わせられるNチャネル型薄膜トランジスタのチャネル長よりも長いことを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項4】 前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタのチャネル幅は、当該薄膜トランジスタと相補的に組み合わせられるNチャネル型薄膜トランジスタのチャネル幅よりも広いことを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項5】 前記駆動回路は、さらに、走査信号を前記走査線の各々に順次供給する走査線駆動回路を備え、前記走査線駆動回路は、転送した信号を前記走査信号として順次出力するYシフトレジスタを有し、

前記Yシフトレジスタのうち、少なくとも1個以上の論

理素子は、Pチャネル型およびNチャネル型薄膜トランジスタを相補的に組み合わせるものであって、

前記Pチャネル型薄膜トランジスタおよび前記Nチャネル型薄膜トランジスタは、両者に共通接続される領域のゲート電極側に、不純物濃度が当該領域よりも低い領域をそれぞれ有することを特徴とする請求項1に記載の電気光学装置の駆動回路。

【請求項6】 前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタおよびNチャネル型薄膜トランジスタは、前記共通接続される領域の反対側の領域にも、不純物濃度が当該反対側領域よりも低い領域をそれぞれ有することを特徴とする請求項5に記載の電気光学装置の駆動回路。

【請求項7】 前記Yシフトレジスタは、前記Pチャネル型薄膜トランジスタまたは前記Nチャネル型薄膜トランジスタもしくはその双方からなるトランسمッションゲートを含むことを特徴とする請求項5記載の電気光学装置の駆動回路。

【請求項8】 前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタのチャネル長は、

前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型の薄膜トランジスタのチャネル長以下であることを特徴とする請求項5に記載の電気光学装置の駆動回路。

【請求項9】 前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタのチャネル幅は、

前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型の薄膜トランジスタのチャネル幅以下であることを特徴とする請求項5に記載の電気光学装置の駆動回路。

【請求項10】 請求項1乃至9に記載のいずれかに記載の電気光学装置の駆動回路を備えたことを特徴とする電気光学装置。

【請求項11】 光源と、前記光源からの光を変調するライトバルブと、前記ライトバルブにより変調された光を投射する光学系とを備え、前記ライトバルブは請求項10に記載の電気光学装置からなることを特徴とする投射型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学装置を駆動する駆動回路に関し、特に、当該駆動回路を構成する薄膜トランジスタの長寿命化を図った電気光学装置の駆動回路、および、この駆動回路を内蔵する電気光学装置に関する。

【0002】

【従来の技術】従来の電気光学装置、例えば、液晶装置

の駆動回路は、画像表示領域に配設されたデータ線や走査線などに、画像信号や走査信号などを所定タイミングで供給するデータ線駆動回路や、走査線駆動回路、サンプリング回路などから構成されている。このうち、データ線駆動回路は、一般には、複数のラッチ回路からなるXシフトレジスタを備え、水平走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これをサンプリング制御信号として出力するものである。また、サンプリング回路は、各データ線毎に設けられるサンプリング用のスイッチからなり、外部から供給される画像信号を、サンプリング制御信号にしたがってサンプリングして、各データ線に供給するものである。一方、走査線駆動回路は、複数のラッチ回路からなるYシフトレジスタを備え、垂直走査期間の最初に供給される転送信号をクロック信号に応じて順次シフトして、これを走査信号として出力するものである。

【0003】一方、これら駆動回路などの周辺回路を、電気光学装置を構成する基板上に設けた周辺回路内蔵型の電気光学装置が開発されている。この種の電気光学装置では、周辺回路の構成素子と、画素を駆動するスイッチング素子とが、共通プロセスで製造される。例えば、電気光学材料として液晶を用いた液晶装置において周辺回路を構成する素子は、画素を駆動する薄膜トランジスタ（Thin Film Transistor：以下「TFT」と称する）と同時に形成されるので、周辺回路を別基板上に形成して実装する電気光学装置と比較して、装置全体の小型化やコスト低下を図る上で有利となる。

【0004】さて、周辺回路を構成するTFTは、画素をスイッチングするTFTよりも、高速応答性や低消費電力などが要求される。このため、周辺回路を構成するTFTを相補型で構成するとともに、オフセット構造やLDD（Lightly Doped Drain）構造を採用することで、素子の微細化にくわえて、高いオン電流と低いオフ電流との両立が図られている。

【0005】

【発明が解決しようとする課題】しかしながら、このような電気光学装置、詳細には、周辺回路の構成素子としてLDD構造を有するPチャネル型TFTおよびNチャネル型TFTを相補的に組み合わせた周辺回路内蔵型の電気光学装置について、80℃という温度で連続通電試験を行ったところ、図10において特性aで示されるように、最低駆動電圧が短時間のうちに上昇して、寿命が尽きてしまう、という問題が発生した。一般に、この種の電気光学装置には、例えば、80℃で5千時間以上の寿命が要求されている。これは、室温に換算して2万時間程度の寿命になると言われているが、この図でも判るように、特性aは、とても満足できるレベルではない。

【0006】本発明は、このような事情に鑑みてなされたものであり、その目的とするところは、駆動回路内蔵型の電気光学装置において、当該駆動回路などの周辺回

路における構成素子の劣化を防止して、長寿命化を図った電気光学装置の駆動回路、および、この駆動回路を内蔵する電気光学装置を提供することにある。

【0007】

【課題を解決するための手段】まず、本件の発明者が、連続通電試験に用いた液晶装置を検査したところ、LDD構造を有するPチャネル型TFTのみの特性が劣化していることが判明した。この原因として、①不純物たるB（ボロン）をイオン化して打ち込む際のダメージによりゲート絶縁膜が劣化する、②ホットホール現象が発生する、などの理由が考えられるが、詳しい原因は、現時点において判明していない。いづれにしても、Pチャネル型TFTの特性劣化が、LDD構造に起因して発生していると考えられる。なお、実験的には、③駆動周波数が高くなるにつれて、劣化が進行する点、および、④環境温度が高くなるにつれて、劣化が進行する点については、本件発明者が確認している。特に、⑤の点については、駆動周波数が1MHz以上となると、特性の劣化が顕著となること、および、駆動周波数の2乗にはほぼ比例して、特性の劣化が進行することが確認されている。

【0008】ここで、電気光学装置において最も高い周波数で駆動される部分は、一般的には、データ線駆動回路におけるXシフトレジスタである。また、上記連続通電試験において、Pチャネル型TFTと組み合わせられるNチャネル型TFTの特性は、劣化が問題となる程度にまでは至っていない。一方、周辺回路を構成するTFTには、上述したように高速応答性や、低消費電力、安定動作などが要求されるため、相補型構成が必要不可欠である。

【0009】そこで、本発明では、Xシフトレジスタにおける相補型のTFTのうち、Pチャネル型TFTについては、LDD構造とはせずに自己整合型（セルフアライン）構造として、高いオン電流を持たせる一方、Nチャネル型TFTについては従来通りLDD構造（もしくはオフセット構造）として、低いオフ電流を持たせることとした。詳細には、本発明に係る電気光学装置の駆動回路は、複数の走査線と、複数のデータ線と、前記走査線および前記データ線に接続されたスイッチング素子と、各スイッチング素子に接続された画素電極とからなる表示領域を有する電気光学装置の駆動回路であって、前記駆動回路は、所定の画像信号を前記データ線の各々に供給するデータ線駆動回路を有し、前記データ線駆動回路は、所定の入力信号を順次転送するXシフトレジスタを備え、前記Xシフトレジスタのうち、少なくとも1個以上の論理素子は、Pチャネル型およびNチャネル型TFTを相補的に組み合わせて構成され、このうち、前記Pチャネル型TFTは、そのソース領域の端部およびドレイン領域の端部が当該TFTにおけるゲート電極の端部でそれぞれ規定される一方、前記Nチャネル型TFTは、そのソース領域のゲート電極側と、そのドレイン

領域におけるゲート電極側と、それぞれ不純物濃度が当該ソース領域または当該ドレイン領域よりも低い領域を有することを特徴としている。

【0010】ここで、Xシフトレジスタにおける相補型TFTのうち、Pチャネル型TFTを自己整合型構造とし、これと組み合わせられるNチャネル型TFTをLDD構造とした周辺回路内蔵型の電気光学装置について、上述した80℃の連続通電試験を行ったところ、図10において特性bで示されるように、従来の装置の特性aよりも改善される結果、要求される寿命に対して、ほぼ満足できるレベルとなった。また、この連続通電試験において1千時間経過した状態におけるPチャネル型TFTの電気特性については図11に示される通りである。すなわち、この図に示されるように、従来のLDD構造を有するPチャネル型TFTの特性aよりも、本発明の自己整合型構造を有するPチャネル型TFTの特性bの方が、高いオン電流が得られることが判る。

【0011】ここで、本発明の一の態様においては、前記画像信号は、シリアル-パラレル変換されて、複数本の画像信号線を介し供給されるものであり、前記データ線のそれぞれに接続されるとともに、前記サンプリング制御信号にしたがい画像信号をサンプリングして、対応するデータ線に供給するサンプリングスイッチを備え、相隣接する複数本のデータ線に接続される複数個のサンプリングスイッチが、前記複数本の画像信号線に供給された画像信号を同時にサンプリングする。この態様によれば、サンプリング制御信号が、相隣接する複数（ここでは、便宜的に「p」として説明する）本のデータ線に接続されたp個のサンプリングスイッチに同時に供給される。この際、Xシフトレジスタ回路による転送信号が順次出力され、この転送信号がサンプリング制御信号として出力される。そして、画像信号が、各サンプリングスイッチにより、サンプリング制御信号にしたがってサンプリングされて、当該p本のデータ線にそれぞれ供給される。このように、p個のサンプリングスイッチが同時に駆動されるので、高ドット周波数の画像信号に対しても、データ線の駆動が容易となり、また、Xシフトレジスタの段数も $1/p$ に低減される。さらに、サンプリング制御信号は、p個のサンプリングスイッチ毎に供給されるので、Xシフトレジスタの各段を構成する単位回路（例えばラッチ回路）を、データ線のピッチではなく、そのp倍のピッチで設ければ良いことになる。

【0012】次に、本発明において、Nチャネル型TFTのソース領域のゲート電極側と、ドレイン領域のゲート電極側には、それぞれ低濃度領域が設けられるので、Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型のTFTのチャネル長は、当該トランジスタと組み合わせられるNチャネル型の薄膜トランジスタのチャネル長よりも長い構成が望ましい。この構成によれば、実質的なチャネル長が両者同士で略等し

くなって、低濃度領域を有しない自己整合構造のPチャネル型TFTと、LDD構造を有するNチャネル型TFTとの特性を均衡させることが可能となる。

【0013】一方、本発明において、前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型のTFTのチャネル幅は、当該TFTと相補的に組み合わせられるNチャネル型のTFTのチャネル幅よりも広い構成が望ましい。Pチャネル型のキャリアであるホールと、Nチャネル型のキャリアである電子とでは、後者の質量が軽いために、Nチャネル型のキャリア移動度が高くなる。このため、Pチャネル型TFTのチャネル幅を、Nチャネル型TFTのチャネル幅よりも広くすることで、両者の特性が均衡することとなる。

【0014】さて、上記⁹の点について述べたように特性の劣化は、駆動周波数の2乗にほぼ比例して進行するので、データ線駆動回路の駆動周波数よりも2～3桁程度低い周波数で動作する走査線駆動回路に、LDD構造を有するPチャネル型TFTを用いても、特性の劣化は問題にならないと考えられる。一方、走査線駆動回路のYシフトレジスタは、データ線駆動回路のようにシリアル-パラレル変換のような手法を用いてピッチを緩和することができないので、狭ピッチで形成することが要求されている。

【0015】そこで、本発明において、Yシフトレジスタにおける論理素子については、少なくとも、相補的に組み合わせられるPチャネル型TFTとNチャネル型TFTとで共通接続される領域のゲート電極側に低濃度領域を持たせることとした。詳細には、本発明において、前記駆動回路は、さらに、走査信号を前記走査線の各々に順次供給する走査線駆動回路を備え、前記走査線駆動回路は、転送した信号を前記走査信号として順次出力するYシフトレジスタを有し、前記Yシフトレジスタのうち、少なくとも1個以上の論理素子は、Pチャネル型TFTおよびNチャネル型TFTを相補的に組み合わせたものであって、前記Pチャネル型TFTおよび前記Nチャネル型TFTは、両者に共通接続される領域のゲート電極側に、不純物濃度が当該領域よりも低い領域をそれぞれ有する構成が望ましい。この構成によれば、共通接続される領域のゲート電極側に設けられた低濃度領域によって、高いオン電流と低いオフ電流とを確保した上で、素子の微細化が可能となる。なお、この構成において、共通接続される領域とは、例えば、Pチャネル型TFTおよびNチャネル型TFTによりインバータを構成するのであれば、Pチャネル型TFTのソース領域、および、Nチャネル型TFTのドレイン領域をいう。

【0016】ここで、走査線駆動回路を備える構成において、前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型の薄膜トランジスタおよびNチャネル型トランジスタは、前記共通接続される領域の反対側の領域にも、不純物濃度が当該反対側領域

よりも低い領域をそれぞれ有する構成が望ましい。すなわち、Yシフトレジスタの論理素子において、相補的に組み合わせられるPチャネル型TFTおよびNチャネル型TFTは、ともにLDD構造（またはオフセット構造）としても、駆動周波数が低いので、特性の劣化が問題とならずに、素子の微細化を図ることが可能となる。

【0017】また、走査線駆動回路を備える構成において、前記Yシフトレジスタは、前記Pチャネル型TFTまたは前記Nチャネル型TFTもしくはその双方からなるトランスマッションゲートを含む構成が望ましい。この構成において、トランスマッションゲートそれ自体は、クロックドインバータのように電源配線に接続しないで済むので、その分、微細化に有利となる。

【0018】一方、走査線駆動回路を備える構成において、前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型TFTのチャネル長は、前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型TFTのチャネル長以下である構成が望ましい。同様に、走査線駆動回路を備える構成において、前記Yシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型薄膜トランジスタのチャネル幅は、前記Xシフトレジスタの論理素子のうち、相補的に組み合わせられるPチャネル型の薄膜トランジスタのチャネル幅以下である構成が望ましい。このような構成では、Xシフトレジスタの駆動能力が、Yシフトレジスタよりも高められることとなる。なお、Xシフトレジスタについては、上述したようにYシフトレジスタよりも狭ピッチで形成されることが要求されない。このため、上記構成を採用しても、あまり問題とならない。

【0019】さらに、上記目的を達成するため本発明に係る電気光学装置、またこの電気光学装置を用いた投射型表示装置にあっては、上記駆動回路を備えるので、微細化とともに、特性の劣化を防止して長寿命化を図ることが可能となる。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。

【0021】＜液晶装置＞まず、本発明に係る電気光学装置として、液晶装置を一例にとって説明する。この液晶装置は、後述するように、TFTアレイ基板と対向基板とが互いに一定の間隙を保って貼付されて、この間隙に液晶が挟持された構成となっている。

【0022】図1は、この液晶装置の電気的な構成を示すブロック図である。この図において、液晶装置100を構成するTFTアレイ基板にあって、表示領域100aの外側周辺には、データ線駆動回路200、サンプリング回路300および走査線駆動回路400を含む周辺回路が設けられている。すなわち、本実施形態は、TFTアレイ基板上に、周辺回路が形成された周辺回路内蔵

型のアクティブマトリクス駆動方式の液晶装置である。

【0023】ここで、表示領域100aには、m本の走査線3aが、X方向に沿って平行に配列して形成される一方、(6n)本のデータ線6aが、Y方向に沿って平行に配列して形成されるとともに、これらの走査線3aとデータ線6aとの各交差に対応して、画素110がマトリクス状に配列している。この画素110は、例えば図2に示されるように、TFT116のゲートが走査線3aに接続される一方、そのソースがデータ線6aに接続されるとともに、そのドレインが矩形状の画素電極118に接続されている。さらに、画素電極118と、上記対向基板の対向面に形成される対向電極108との両電極間には、液晶105が挟持されて液晶層が構成されている。さらに、この液晶層に蓄積される電荷のリークを防ぐために、蓄積容量119が、画素電極118と一定電位VEEとの間において液晶層と並列に付加されている。

【0024】次に、この電気光学装置における周辺回路について説明する。まず、周辺回路のうち、走査線駆動回路400は、1垂直走査期間において、走査信号G1、G2、…、Gmを、走査線3aの各々に対しパルス的に順次供給するものである。一方、データ線駆動回路200は、1水平走査期間において、すなわち、1本の走査線3aに走査信号が走査線駆動回路400によって供給されている期間において、サンプリング制御信号S1、S2、…、Snを、サンプリング制御信号線114の各々に順次供給するものである。

【0025】また、サンプリング回路300は、データ線6aの1本毎に設けられるサンプリングスイッチ301から構成される。そして、各サンプリングスイッチ301は、画像信号線115に供給される画像信号を、サンプリング制御信号S1、S2、…、Snにしたがってサンプリングして、対応するデータ線6aに供給するのである。

【0026】ここで、本実施形態においては、データ線6aが相隣接する6本毎にブロック化されるとともに、このブロックに対応して設けられる6個のサンプリングスイッチ301が、同一のサンプリング制御信号によって同時に画像信号のサンプリングを行う構成となっている。一方、本実施形態における6本の画像信号線115には、予めシリアル-パラレル変換された6系統の画像信号VID1～VID6が、詳細には、1系統の画像信号を6系統に分配されるとともに時間軸に6倍に伸長された画像信号VID1～VID6が、図示せぬ外部画像処理回路から供給される構成となっている。このため、あるサンプリング制御信号Si(iは、1≤i≤nを満たす整数)が供給されると、図1において左から数えて(6i-5)本目～(6i)本目の6本のデータ線6aに、それぞれ画像信号VID1～VID6が同時にサンプリングされることとなる。

【0027】さて、このような構成において、ある走査線3aに走査信号が供給されると、まず、当該走査線に接続されるTFT116がすべてオンし、次に、この状態において、サンプリング制御信号S1、S2、…、Snが順番に供給されると、データ線6aが左から6本毎に、画像信号VID1～VID6がサンプリングされる結果、オンしたTFT116に対応する液晶層に書き込まれて、所定の期間保持される。

【0028】この際、各画素110の液晶層に印加される電圧レベルに応じて液晶分子の配向や秩序が変化するので、その光変調によって階調表示が行われることとなる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電圧が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電圧が高くなるにつれて緩和されるので、表示領域100aでは、画像信号に応じたコントラストを持つ光が各画素毎に射出される。このため、所定の表示が可能となっているのである。

【0029】なお、シリアル-パラレル変換数については、一般には、ドット周波数が相対的に低ければ（あるいはサンプリングスイッチ301のサンプリング能力が相対的に高ければ）、例えば「3」のように小さな値に設定しても良い。逆に、ドット周波数が相対的に高ければ（あるいはサンプリング能力が相対的に低ければ）、例えば「12」や「24」などのように大きな値に設定してもよい。また、シリアル-パラレル変換数としては、カラー画像信号が3つの色に係る信号からなることとの関係から、3の倍数であること、ビデオ表示をする際の制御や回路構成を簡易化する上で好ましい。さらに、近時の高ドット周波数の場合、既存のTFT製造技術に鑑みれば、本実施形態である「6」や、ほかに「12」のような大きな値に設定するのが好ましい。なお、後述するプロジェクトのように光変調だけを目的とするのであれば、「2」以上であれば足りる。

【0030】＜データ線駆動回路＞次に、データ線駆動回路200の詳細について説明する。図1に示されるように、データ線駆動回路200は、n段接続されたラッチ回路202と、各ラッチ回路202による転送信号Q1～Qnの位相を調整するn個の波形選択回路204と、各波形選択回路の出力信号X1～Xnの駆動能力を高めるn個のバッファ回路206とから構成される。なお、n段のラッチ回路202を総称してXシフトレジスタという。

【0031】このXシフトレジスタは、水平走査期間の最初に供給されるスタートパルスSPXを、各段のラッチ回路202により、クロック信号CLX（およびその反転クロック信号CLX'）にしたがって順次転送して、転送信号Q1～Qnとして出力するものである。ここで、各ラッチ回路202の一例としては、例えば、図3に示されるような構成が挙げられる。図において、各

ラッチ回路202は、それぞれクロックドインバータ222、226およびインバータ224から構成され、いずれもPチャネル型TFTおよびNチャネル型TFTを組み合わせて相補的に構成されている。なお、これらのPチャネル型TFTおよびNチャネル型TFTは、画素110におけるTFT116と共通のプロセスで形成されるのは言うまでもない。

【0032】さて、奇数段のラッチ回路202において、クロックドインバータ222は、入力側に供給される信号（スタートパルスSPX）を、クロック信号CLXのHレベル期間であって、かつ、反転クロック信号CLX'のLレベル期間で反転して出力するものである。次に、インバータ224は、クロックドインバータ222の出力を反転して、当該段の転送信号として出力されるものである。また、クロックドインバータ226は、インバータ224の出力たる当該段の出力信号を、クロック信号CLXのLレベル期間であって、かつ、反転クロック信号CLX'のHレベル期間で反転して、インバータ224の入力側に帰還するものである。一方、偶数段のラッチ回路202におけるクロックドインバータ222、226は、奇数段におけるクロックドインバータ222、226と、供給されるクロック信号が入れ替わった関係にある。

【0033】このため、Xシフトレジスタにおける各段のラッチ回路202から出力される転送信号Q1、Q2、…、Qnは、図5に示されるよう出力されることとなる。すなわち、第1段目のラッチ回路202が、水平走査期間の最初に供給されるスタートパルスSPXを、クロック信号CLXの立ち上がりで取り込んで、転送信号Q1として出力した後、以降の第2～第n段のラッチ回路202が、転送信号Q1を、クロック信号CLXの半周期分だけ順次遅延させて、転送信号Q2～Qnとして出力することとなる。

【0034】さて、このように転送信号Q1～Qnは、クロック信号CLXの半周期毎に順次シフトした関係にあるので、図5に示されるように、相隣接するもの同士においてその半分期間が互いに重複する。そこで、この重複期間を除去するために、例えば図4に示されるような波形選択回路204が設けられている。図において、波形選択回路204は、各ラッチ回路202の出力に対応して設けられ、各々は、NAND回路204aとインバータ204bとの直列接続からなる。このうち、奇数段目に対応するNAND回路204aは、対応するラッチ回路202から供給される転送信号と位相調整信号ENB1との否定論理積信号を、一方、偶数段目のNAND回路204aは、対応するラッチ回路202から供給される転送信号と位相調整信号ENB2との否定論理積信号を、それぞれ出力するものである。

【0035】ここで、位相調整信号ENB1、ENB2は、ともにクロック信号CLX（およびその反転クロッ

ク信号CLX')と同期して供給されるものであり、その信号波形は、図5に示される通りである。すなわち、位相調整信号ENB1、ENB2は、そのパルス幅がクロック信号CLX (反転クロック信号CLX')よりも若干狭められ、かつ、両者のパルス期間が排他的である信号である。

【0036】そして、各段のラッチ回路202による転送信号Q1、Q2、…、Qnは、波形選択回路204のそれぞれによって、互いに重複期間を持たないように、位相調整信号ENB1またはENB2のパルス幅に制限されて、サンプリング制御信号X1、X2、…、Xnとしてバッファ回路206に供給されることとなる。

【0037】次に、バッファ回路206は、駆動能力が後段となるにつれて大きくなるインバータを、複数段直列した構成となっており、波形選択回路204によるサンプリング制御信号X1、X2、…、Xnを、波形整形するとともに、駆動能力を高めて、サンプリング制御信号S1、S2、…、Snとしてサンプリング回路300に供給するものである。なお、波形選択回路204におけるインバータ204bを、バッファ回路206における初段のインバータとする場合もある。

【0038】このように本実施形態によれば、波形選択回路204によるパルス幅の制限により、相前後するサンプリング制御信号X1～Xn (S1～Sn) のパルス間隔は、図5に示されるように時間的に隔絶されるため、これらの信号パルスの重複に起因するクロストークやゴーストなどの発生が未然に防止される。すなわち、サンプリング制御信号S1、S2、…、Snが重複していると、本来、あるブロックのデータ線6aにサンプリングされるべき画像信号が、そのブロックの前後に位置するブロックのデータ線6aに対してもサンプリングされてしまうため、クロストークやゴーストなどが発生して表示品位が低下するが、本実施形態によれば、サンプリング制御信号S1、S2、…、Snのパルスが時間的に隔絶されて出力されるため、クロストークやゴーストなどの発生が未然に防止されることとなる。

【0039】また、ラッチ回路202や波形選択回路204の駆動能力よりも、バッファ回路206の駆動能力の方が遥かに大きい。このためラッチ回路202や波形選択回路206の駆動能力が低くても、バッファ回路206から出力されるサンプリング制御信号S1、S2、…、Snによって、6個のサンプリングスイッチ301が良好に同時駆動されることとなる。

【0040】また、本実施形態のように、6本のデータ線6a毎にブロック化して駆動することによって、Xシフトレジスタを構成するラッチ回路202の段数が、データ線6aの本数(6n)の1/6であるn段に低減されるので、データ線6aの駆動が容易となるとともに、駆動周波数が1/6に低下するので、低消費電力化を図ることもできる。さらに、ラッチ回路202、波形

選択回路204およびバッファ回路206については、データ線6aのピッチの6倍に相当するピッチPx (図1参照)で形成すれば良いので、これら素子の配置や配線などにおける自由度も高められることとなる。

【0041】<データ線駆動回路の構成素子>次に、データ線駆動回路200、特に、ラッチ回路202における相補型TFTの構成について、インバータ224を例にとって説明する。このインバータ224は、図3に示されるようにPチャネル型TFTとNチャネル型TFTとが、電源の高位側電圧Vddと低位側電圧Vssとの間において直列接続された相補型構成となっている。図6(a)は、このインバータ224を構成するpチャネル型TFTおよびnチャネル型TFTの構成を示す平面図であり、同図(b)は、同図(a)のA-A'線断面図である。

【0042】これらの図に示されるように、Pチャネル型TFTは、そのドレイン領域2202の端部とソース領域2204の端部とがゲート電極2002の端部で規定された自己整合型構造となっている。すなわち、このPチャネル型TFTは、ゲート電極2002自体をマスクとして半導体層2200に不純物がドーパされたものである。

【0043】一方、Nチャネル型TFTは、そのドレイン領域2302のゲート側とソース領域2304のゲート側にそれぞれ不純物の低濃度領域2312、2314が設けられたLDD構造となっている。すなわち、このNチャネル型TFTは、例えば、第1に、ゲート電極2002自体をマスクとして半導体層2300に不純物が低濃度でドーパされた後、第2に、ゲート電極2002上面に、当該ゲート電極2002よりも幅広のレジスト層が形成され、これをマスクとして不純物が高濃度でドーパされたものである。なお、Nチャネル型TFTにおける低濃度領域2312、2314については、不純物を存在させないで、オフセット構造としても良い。このオフセット構造は、例えば、ゲート電極2002をマスクとしてドーパを行った後に、当該ゲート電極をオーバーエッチングして、その端面を後退させたりすることなどで形成可能である。

【0044】次に、Pチャネル型TFTおよびNチャネル型TFTで兼用されるゲート電極2002は、クロックドインバータ222、226 (図3参照)の出力配線と接続(または兼用)されるものである。すなわち、ゲート電極2002には、クロックドインバータ222または226の出力信号が供給される。一方、電源の高位側電圧Vddが印加される配線2004は、Pチャネル型TFTのドレイン領域2202に対し、層間絶縁膜2012およびゲート絶縁膜2100に開口するコンタクトホール2010を介して接続され、また、電源の低位側電圧Vssが印加される配線2006は、Nチャネル型TFTのソース領域2304に対し、コンタクトホー

ル2010を介して接続されている。そして、インバータ224の出力となる配線2008は、Pチャネル型TFTのソース領域2204とNチャネル型TFTのドレイン領域2302とに、それぞれコンタクトホール2010を介して共通接続されている。

【0045】このようにインバータ224では、Pチャネル型TFTが自己整合型構造であり、Nチャネル型TFTがLDD構造であるため、仮に両者のチャネル長、幅を同一としてしまうと、両者の特性に不均衡が生じて好ましくない。このため、図6(a)に示されるように、Pチャネル型TFTのチャネル長 L_1 と、Nチャネル型TFTのチャネル長 L_2 とは、 $L_1 > L_2$ として形成され、また、Pチャネル型TFTのチャネル幅 W_1 と、Nチャネル型TFTのチャネル長 W_2 とは、 $W_1 > W_2$ として形成されている。

【0046】すなわち、自己整合型構造のPチャネル型TFTと、LDD構造のNチャネル型TFTでは、低濃度領域2312、2314により実質的なチャネル長が異なるので、これを補償する意味で $L_1 > L_2$ となっている。また、Pチャネル型のキャリアであるホールと、Nチャネル型のキャリアである電子とでは、後者の質量が軽いので、Nチャネル型のキャリア移動度が高くなる。このため、 $W_1 > W_2$ として、両者の特性を均衡させているのである。

【0047】このように、Pチャネル型TFTのチャネル長 L_1 、幅 W_1 が、それぞれNチャネル型TFTのチャネル長 L_2 、幅 W_2 よりも大きくなるので、両者をLDD構造とする場合と比較すると、本実施形態は、サイズ的には不利である。しかしながら、上述したように、ラッチ回路202については、データ線ピッチの6倍に相当するピッチ P_x で形成すれば済むので、TFTのサイズが多少大きくなったとしても、あまり問題にはならない。

【0048】また、ラッチ回路202のうち、奇数段のクロックドインバータ222は、図3に示されるように、電源の高位側電圧 V_{dd} と低位側電圧 V_{ss} との間において、ゲート電極に反転クロック信号 CLX' を入力するPチャネル型TFTと、入力信号をゲート電極にそれぞれ入力する相補型のPチャネル型TFT及びNチャネル型TFTと、ゲート電極にクロック信号 CLX を入力するNチャネル型TFTとを直列に接続した構成となっている。また、奇数段のクロックドインバータ226については、同じく奇数段のクロックドインバータ222におけるクロック信号 CLX およびその反転クロック信号 CLX' を入れ替えた関係となっている。さらに、偶数段のクロックドインバータ222、226については、奇数段のものとクロック信号 CLX およびその反転クロック信号 CLX' を入れ替えた関係となっている。そして、このようなクロックドインバータ222、226においても、インバータ224と同様に、Pチャ

ネル型TFTが自己整合型構造であり、また、Nチャネル型TFTがLDD構造となっている。

【0049】すなわち、本実施形態では、ラッチ回路202(Xシフトレジスタ)を構成するクロックドインバータ222、226およびインバータ224における相補型のPチャネル型TFTが自己整合型構造となっている。すなわち、最も高い周波数で駆動されるため、特性が劣化しやすいPチャネル型TFTがすべて自己整合型構造に置換されている。一方、特性の劣化が問題となっていないNチャネル型TFTについては依然としてLDD構造となっている。したがって、本実施形態では、オフリーク電流を低減した上で、特性の劣化が防止されることとなる。

【0050】<走査線駆動回路>次に、走査線駆動回路400の詳細について説明する。この走査線駆動回路400は、垂直走査期間の最初に供給されるスタートパルスSPYをクロック信号 CLY およびその反転クロック信号 CLY' にしたがって転送し、これに基づき走査信号 G_1 、 G_2 、…、 G_m を生成するので、その基本的な構成は、データ線駆動回路200と同様である。すなわち、走査線駆動回路400は、m段接続されたラッチ回路402からなるYシフトレジスタと、各ラッチ回路402に対応するm個のバッファ回路406とを含む。さらに、走査線駆動回路400におけるラッチ回路402は、図3において括弧書で示されるように、データ線駆動回路200におけるラッチ回路202と、クロック信号が異なる以外、全く同一である。

【0051】ただし、走査線駆動回路400に供給されるクロック信号 CLY (反転クロック信号 CLY')の周波数は、データ線駆動回路200に供給されるクロック信号 CLX (反転クロック信号 CLX')の周波数よりも必然的に2〜3桁程度低くなるので、ラッチ回路402による転送信号を、データ線駆動回路200のように、位相調整信号を用いて積極的に狭める必要がない。このため、例えば、前後のラッチ回路402による転送信号同士の論理積を求めて、これを走査信号 G_1 、 G_2 、…、 G_m として出力する構成となっている。図1において、データ線駆動回路200の波形選択回路204に相当するものが、走査線駆動回路400に存在しないのは、このためである。

【0052】<走査線駆動回路の構成要素>次に、走査線駆動回路400における相補型TFTの構成について説明する。走査線駆動回路400では、データ線駆動回路200のようにデータ線6aをブロック化して駆動しないので、ラッチ回路402およびバッファ回路406を走査線3aのピッチ P_y で形成する必要がある。このため、走査線駆動回路400を構成する相補型TFTについては、微細化して形成することが要求される。一方、走査線駆動回路400の駆動周波数は、上述したように、データ線駆動回路200のそれよりも必然的に2

～3桁程度低くなるので、駆動周波数のほぼ2乗で進行するPチャネル型TFTの特性劣化は、あまり問題とならない、と考えられる。

【0053】そこで、走査線駆動回路400を構成する相補型のPチャネル型TFTおよびNチャネル型TFTについては、図7(a)および同図(b)に示されるように、両者ともLDD構造とした。ここで、図7(a)は、ラッチ回路402におけるインバータ424を構成するPチャネル型TFTおよびNチャネル型TFTの構成を示す平面図であり、同図(b)は、同図(a)のB-B'線断面図である。

【0054】これらの図に示されるように、Pチャネル型TFTは、ドレイン領域4202のゲート側とソース領域4204のゲート側にそれぞれ不純物の低濃度領域4212、4214が設けられ、同様に、Nチャネル型TFTは、ドレイン領域4302のゲート側とソース領域4304のゲート側にそれぞれ不純物の低濃度領域4312、4314が設けられている。

【0055】また、Pチャネル型およびNチャネル型で兼用されるゲート電極4002は、クロックドインバータ422、426(図3の括弧書参照)の出力配線と接続(または兼用)されるものである。一方、電源の高位側電圧V_{dd}が印加される配線4004は、Pチャネル型TFTのドレイン領域4202に対し、層間絶縁膜4012およびゲート絶縁膜4100に開口するコンタクトホール4010を介して接続され、また、電源の低位側電圧V_{ss}が印加される配線4006は、Nチャネル型TFTのソース領域4304に対し、コンタクトホール4010を介して接続されている。そして、インバータ424の出力となる配線4008は、Pチャネル型TFTのソース領域4204とNチャネル型TFTのドレイン領域4302とに、それぞれコンタクトホール4010を介して接続されている。

【0056】このようにインバータ424では、Pチャネル型TFTおよびNチャネル型TFTがともにLDD構造であるため、両者のチャネル長L₃、L₄と、幅W₃、W₄とは、それぞれ互いに同一となっている。また、ラッチ回路402については、上述したように、走査線ピッチP_yで形成する必要があるため、データ線ピッチの6倍に相当するP_xよりも狭くしなければならない場合がある。このため、走査線駆動回路400におけるPチャネル型TFTのチャネル長L₃は、データ駆動回路200におけるPチャネル型TFTのチャネル長L₁以下となっており、また、走査線駆動回路400におけるPチャネル型TFTのチャネル幅W₃は、データ駆動回路200におけるPチャネル型TFTのチャネル幅W₁以下となっている。

【0057】また、ラッチ回路402のうち、奇数段のクロックドインバータ422は、図3の括弧書に示されるように、電源の高位側電圧V_{dd}と低位側電圧V_{ss}

との間に、ゲート電極に反転クロック信号C_{LY}'を入力するPチャネル型TFTと、入力信号をゲート電極にそれぞれ入力する相補型のPチャネル型TFT及びNチャネル型TFTと、ゲート電極にクロック信号C_{LY}を入力するNチャネル型TFTとを直列に接続した構成となっている。また、奇数段のクロックドインバータ426については、クロックドインバータ422におけるクロック信号C_{LY}およびその反転クロック信号C_{LY}'を入れ替えた関係となっている。さらに、偶数段のクロックドインバータ422、426については、奇数段のものとクロック信号C_{LY}およびその反転クロック信号C_{LY}'を入れ替えた関係となっている。そして、このようなクロックドインバータ422、426においても、インバータ424と同様に、Pチャネル型TFTおよびNチャネル型TFTがともにLDD構造となっている。

【0058】すなわち、本実施形態では、ラッチ回路402(Yシフトレジスタ)を構成するクロックドインバータ422、426およびインバータ424における相補型のPチャネル型TFTおよびNチャネル型TFTがともにLDD構造となっている。一般に、ゲート電極4002とコンタクトホール4010との間隔L₅(図7(a)参照)については、設計ルールの上で、ある一定値以下とすることができないが、低濃度領域4212、4214、4312、4314がコンタクトホール4010の一部にかかったとしても直ちに不良とはならない。このため、LDD構造とする方が素子の微細化に有利であるので、ラッチ回路402を、走査線ピッチP_yで形成することが容易となる。なお、走査線ピッチP_yがそれほど狭くないのであれば、Pチャネル型TFTおよびNチャネル型TFTを、ともに自己整合型としても良い。一方、Yシフトレジスタの駆動周波数は低いので、Xシフトレジスタのように特性劣化は問題にならない。

【0059】なお、図7(b)に示されるPチャネル型TFTおよびNチャネル型TFTにあつては、低濃度領域(LDD領域)がソース領域側およびドレイン領域側の双方に設けられたが、図8に示されるように、両TFTの共通配線側となる領域のみに設けられるようにしても良い。すなわち、図8では、Pチャネル型TFTにあつては、そのソース領域4204のゲート側のみに低濃度領域4214が設けられ、また、Nチャネル型TFTにあつては、そのドレイン領域4302のゲート側のみに低濃度領域4312が設けられている。このように、一方の領域のみに低濃度領域を設けても、素子の微細化に寄与することが可能である。

【0060】＜ラッチ回路の他の例＞次に、ラッチ回路202(402)における他の例について説明する。図9において、各段のラッチ回路202は、それぞれトランスマッションゲート232、238およびインバータ2

34、236から構成され、いずれもPチャネル型TFTおよびNチャネル型TFTを組み合わせて相補的に構成されている。なお、データ線駆動回路200におけるラッチ回路202にあっては、Pチャネル型TFTは自己整合型構造となるが、走査線駆動回路400におけるラッチ回路402にあっては、Pチャネル型TFTは自己整合型構造に限られない。

【0061】さて、データ線駆動回路200にあって、奇数段のラッチ回路202におけるトランスミッションゲート232は、クロック信号CLXのHレベル期間であって、かつ、反転クロック信号CLX'のLレベル期間で出力するものである。インバータ234、236は、トランスミッションゲート232の出力を両者によって正転して、当該段の転送信号として出力するものである。また、トランスミッションゲート238は、インバータ236の出力たる当該段の出力信号を、クロック信号CLXのLレベル期間であって、かつ、反転クロック信号CLX'のHレベル期間で出力して、インバータ234の入力側に帰還するものである。一方、偶数段のラッチ回路202におけるトランスミッションゲート232、238は、奇数段におけるクロック信号が入れ替わった関係にある。このため、図9に示されるラッチ回路202から出力される転送信号Q1、Q2、…は、図3に示されるラッチ回路と同様に、図5に示される通りとなる。

【0062】なお、走査線駆動回路400のラッチ回路402に適用する場合には、図9の括弧書で示されるように、クロック信号CLXおよび反転クロック信号CLX'を、それぞれクロック信号CLYおよび反転クロック信号CLY'に置き換えるとともに、スタートパルスSPXを、垂直走査期間の最初に供給されるスタートパルスSPYとすれば良い。

【0063】このようなラッチ回路202(402)によれば、トランスミッションゲート232、238(432、438)に対して、電源の高位側電圧V_{dd}および低位側電圧V_{ss}を印加する必要がなくなるので、配線が簡略化される。このため、特に、形成ピッチを狭くする必要のある走査線駆動回路400のラッチ回路402に適している。

【0064】さらに、トランスミッションゲート232、238(432、438)については、相補型とせずに、Nチャネル型TFTのみを用いて構成しても良い。このように構成すると、特性が劣化しやすいPチャネル型TFTを用いないで済むという利点がある。

【0065】＜液晶装置の全体構成＞次に、上述した実施形態に係る液晶装置の全体構成について図12および図13を参照して説明する。ここで、図12は、液晶装置100の構成を示す斜視図であり、図13は、図12におけるC-C'線の断面図である。

【0066】これらの図に示されるように、液晶装置100は、画素電極118等が形成されたガラスや、半導体、石英などからなるTFTアレイ基板10と、対向電極108等が形成されたガラスなどの透明な対向基板20とが、スペーサSPの混入されたシール材52によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が封入された構造となっている。なお、シール材52は、対向基板20の周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材SRによって封止されている。

【0067】ここで、TFTアレイ基板10の対向面であって、シール材52の外側一辺においては、上述したデータ線駆動回路200やサンプリング回路300(図12および図13では省略)が形成されて、Y方向に延在するデータ線6aを駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子102が形成されて、シリアル・パラレル変換された画像信号VID1～VID6などの各種信号を入力する構成となっている。また、この一辺に隣接する2辺には、2個の走査線駆動回路400が形成されて、X方向に延在する走査線3aをそれぞれ両側から駆動する構成となっている。なお、走査線3aに供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路400を片側1個だけに形成する構成でも良い。ほかに、TFTアレイ基板10においては、データ線6aへの画像信号の書込負荷を低減するため、各データ線6aを、画像信号のサンプリングに先行するタイミングにおいて、所定電位にプリチャージするプリチャージ回路を形成しても良い。

【0068】一方、対向基板の対向電極108は、貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、TFTアレイ基板10との電気的導通が図られている。ほかに、対向基板20には、液晶装置100の用途に応じて、例えば、第1に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトレジストに分散した樹脂ブラックなどの遮光膜が設けられる。なお、色光変調の用途の場合には、カラーフィルタは形成されずに遮光膜が対向基板20に設けられる。また、必要に応じて液晶装置10に光を照射するバックライトが、いずれか一方の基板の背面側に設けられる。

【0069】くわえて、TFTアレイ基板10および対向基板20の対向面には、それぞれ所定方向にラビング処理された配向膜(図示省略)などが設けられる一方、その各背面側には配向方向に応じた偏光子(図示省略)がそれぞれ設けられる。ただし、液晶105として、高分子中に微小粒として分散させた高分子分散型液

晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0070】＜電子機器＞次に、上述した液晶装置を各種の電子機器に適用される場合について説明する。この場合、電子機器は、図14に示されるように、主に、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。このうち、表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)などのメモリや、光ディスク装置などのストレージユニット、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力するものである。また、表示情報処理回路1002は、上述したシリアル-パラレル変換回路や、増幅・極性反転回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKとともに駆動回路1004に出力するものである。駆動回路1004は、液晶装置100を駆動するものであり、上述したデータ線駆動回路200や、サンプリング回路300、走査線駆動回路400のほか、製造後の検査に用いる検査回路などを含んだものである。電源回路1010は、上述の各回路に所定の電源を供給するものである。

【0071】次に、上述した液晶装置を具体的な電子機器に用いた例のいくつかについて説明する。

【0072】＜その1：プロジェクタ＞まず、この液晶装置100をライトバルブとして用いたプロジェクタについて説明する。図15は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロミックミラー1108によってRGBの3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。

【0073】ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶装置100と同様であり、画像信号処理回路（図示省略）から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。また、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

【0074】さて、ライトバルブ100R、100G、

100Bによってそれぞれ変調された光は、ダイクロミックプリズム1112に3方向から入射される。このダイクロミックプリズム1112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン1120にカラー画像が投射されることとなる。

【0075】なお、ライトバルブ100R、100Gおよび100Bには、ダイクロミックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、上述したようにカラーフィルタを設ける必要はない。

【0076】＜その2：モバイル型コンピュータ＞次に、この液晶装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図16は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶装置100の背面にバックライトを付加することにより構成されている。

【0077】なお、電子機器としては、図14～図16を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワープロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態の液晶装置、さらには電気光学装置が適用可能なのは言うまでもない。

【0078】

【発明の効果】以上説明したように本発明によれば、周辺回路内蔵型の電気光学装置において、周辺回路の構成素子、特に、データ線駆動回路のXシフトレジスタの論理素子における特性の劣化を防止して、長寿命化を図ることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る液晶装置の電気的な構成を示すブロック図である。

【図2】 同液晶装置における画素の構成を示す回路図である。

【図3】 同液晶装置におけるデータ線駆動回路または走査線駆動回路のラッチ回路の構成を示す回路図である。

【図4】 同液晶装置における波形選択回路の構成を示す回路図である。

【図5】 同液晶装置におけるデータ線駆動回路の動作を説明するためのタイミングチャートである。

【図6】 (a)は、同データ線駆動回路におけるインバータのレイアウトを示す平面図であり、(b)は、そ

のA-A'線に沿って示す断面図である。

【図7】 (a)は、同走査線駆動回路におけるインバータのレイアウトを示す平面図であり、(b)は、そのB-B'線に沿って示す断面図である。

【図8】 同走査線駆動回路におけるインバータの別態様を示す断面図である。

【図9】 同液晶装置におけるラッチ回路の他の構成を示す回路図である。

【図10】 液晶装置における寿命について、従来と本発明とを比較した図である。

【図11】 XシフトレジスタにおけるPチャネル型TFTの電気特性について、従来と本発明とを比較した図である。

【図12】 同液晶装置の構造を示す斜視図である。

【図13】 同液晶装置の構造を説明するための一部断面図である。

【図14】 同液晶装置を適用した電子機器の概略構成を示すブロック図である。

【図15】 同液晶装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

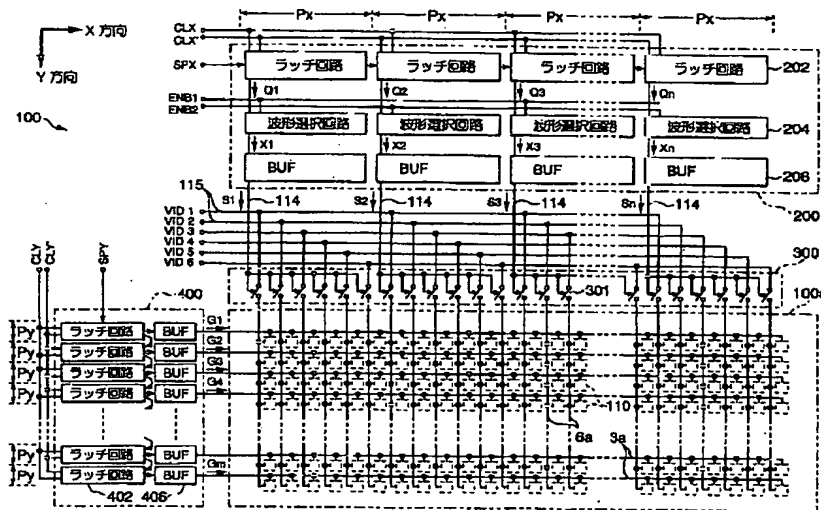
【図16】 同液晶装置を適用した電子機器の一例たる

パーソナルコンピュータの構成を示す斜視図である。

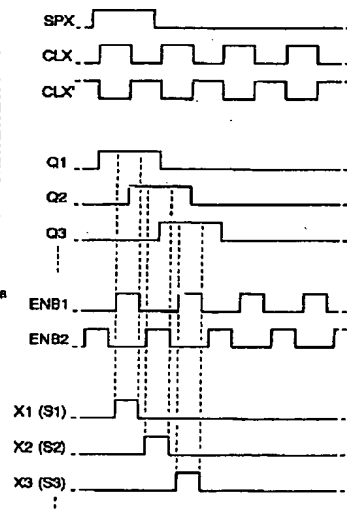
【符号の説明】

- 3a…走査線
- 6a…データ線
- 10…TFTアレイ基板
- 20…対向基板
- 108…対向電極
- 110…画素
- 114…サンプリング制御信号線
- 115…画像信号線
- 116…TFT
- 118…画素電極
- 105…液晶
- 200…データ線駆動回路
- 202…ラッチ回路
- 204…波形選択回路
- 206…バッファ回路
- 300…サンプリング回路
- 301…サンプリングスイッチ
- 400…走査線駆動回路
- 402…ラッチ回路

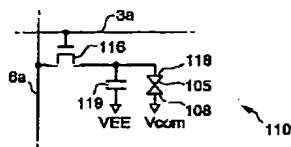
【図1】



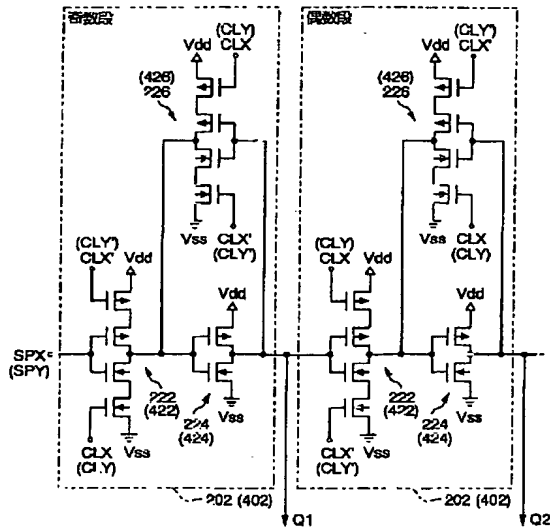
【図5】



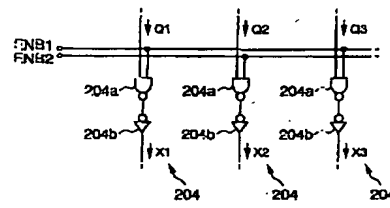
【図2】



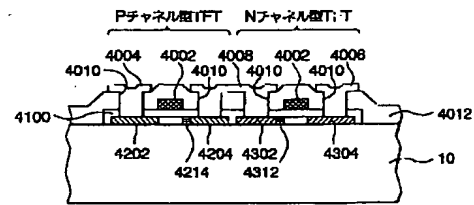
【図3】



【図4】

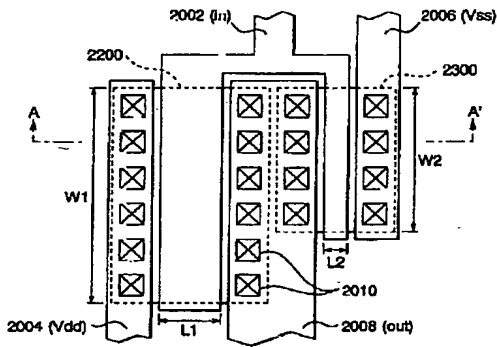


【図8】

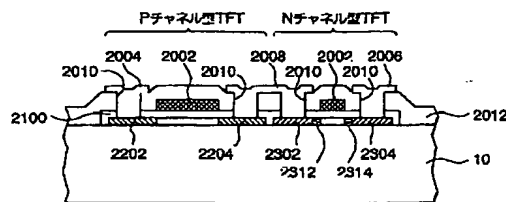


【図6】

(a) データ線駆動回路における相補型TFT

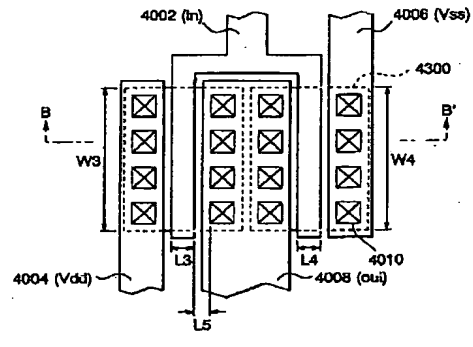


(b)

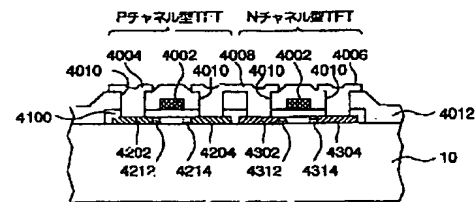


【図7】

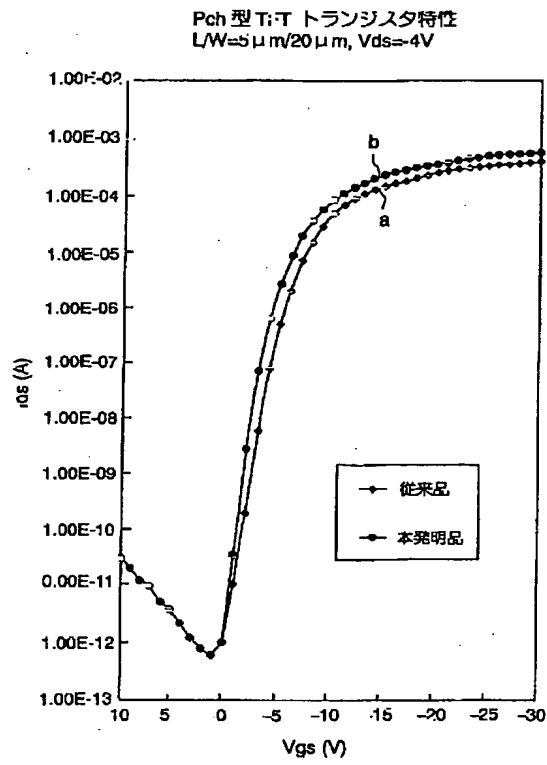
(a) 走査線駆動回路における相補型TFT



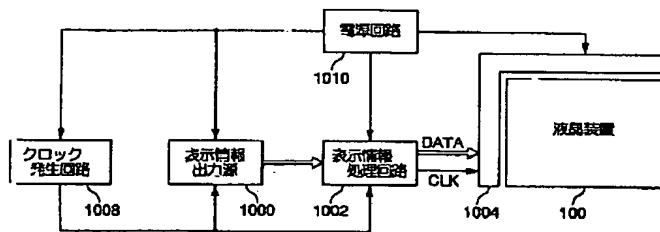
(b)



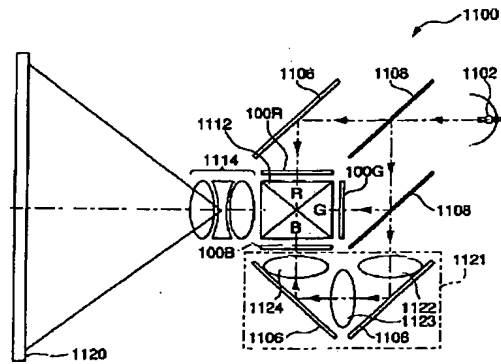
【図11】



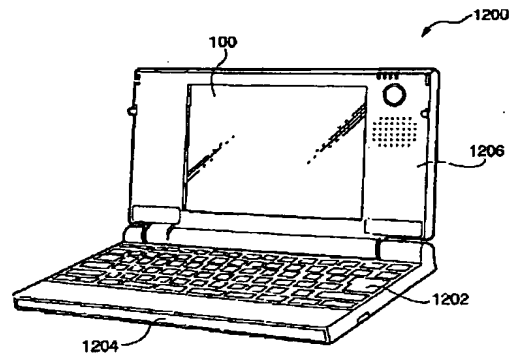
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.⁷
H 0 1 L 29/786

識別記号

F I
H 0 1 L 29/78

(参考)
6 1 2 B

Fターム(参考) 2H092 JA25 JA29 JA31 JA32 JA38
JA42 JA43 JA46 JB13 JB23
JB32 JB33 JB38 JB51 JB57
JB63 JB69 KA04 KA07 MA05
MA07 MA14 MA15 MA16 MA18
MA19 MA20 MA27 MA29 MA35
MA37 MA41 NA22 NA25 NA30
PA06 QA07 RA05
5C006 AA11 AC24 AF42 AF43 BB16
BC03 BC14 BC23 BF03 BF04
FA33
5C080 AA10 BB06 DD29 EE29 FF11
GG12 JJ02 JJ03 JJ04 JJ05
JJ06
5F110 AA26 BB02 BB04 CC02 DD02
DD03 DD05 HM15